



Conception et Etude de la Fiabilité des Amplificateurs de Puissance Fonctionnant aux Fréquences Millimétriques en Technologies CMOS Avancées

Thomas Quémerais

► To cite this version:

Thomas Quémerais. Conception et Etude de la Fiabilité des Amplificateurs de Puissance Fonctionnant aux Fréquences Millimétriques en Technologies CMOS Avancées. Micro et nanotechnologies/Microélectronique. Institut National Polytechnique de Grenoble - INPG, 2010. Français. NNT : . tel-00558711

HAL Id: tel-00558711

<https://theses.hal.science/tel-00558711>

Submitted on 24 Jan 2011

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

**UNIVERSITE DE GRENOBLE
INSTITUT POLYTECHNIQUE DE GRENOBLE**

N° attribué par la bibliothèque

|_|_|_|_|_|_|_|_|_|_|_|_|_|_|_|

THESE

pour obtenir le grade de

**DOCTEUR DE L'Université de Grenoble
délivré par l'Institut polytechnique de Grenoble**

Spécialité : « Optique et Radiofréquences »

préparée au laboratoire de Microélectronique Electromagnétisme, Hyperfréquence, Photonique et de Caractérisation
(IMEP – LAHC) de Grenoble

dans le cadre de **l'Ecole Doctorale « Electronique, Electrotechnique, Automatique & Traitement du Signal »**

présentée et soutenue publiquement

par

Thomas QUEMERAIS

Le 6 octobre 2010

**Conception et Etude de la Fiabilité des Amplificateurs de Puissance Fonctionnant aux Fréquences
Millimétriques en Technologies CMOS Avancées**

**Jean-Michel FOURNIER
Philippe BENECH**

JURY

| | |
|--------------------------|----------------------|
| Mr. QUERE Raymond | , Président |
| Mr. PARRA Thierry | , Rapporteur |
| Mme. LABAT Nathalie | , Rapporteur |
| Mr. FOURNIER Jean-Michel | , Directeur de thèse |
| Mr. BENECH Philippe | , Co-encadrant |
| Mme. MOQUILLON Laurence | , Examineur |
| Mr. GARCIA Patrice | , Examineur |

Avant propos

Les travaux présentés dans ce mémoire ont été réalisés pour la société STMicroelectronics, Organisation CCDS, Groupe TR&D, Equipe RF and ePM Design Solution, Crolles. Ils ont été effectués en étroite collaboration avec le groupe Radiofréquence Hyperfréquence et Optoélectronique (RFHO) du Laboratoire de Microélectronique Electromagnétisme, Hyperfréquence, Photonique et de Caractérisation (IMEP – LAHC) de Grenoble.

Je remercie mes directeurs de thèse Jean Michel Fournier et Philippe Benech. Je remercie mon encadrant industrielle Laurence Moquillon.

Je remercie Sébastien Pruvost qui est principalement à la base de l'étude des circuits millimétriques à STMicroelectronics Crolles.

Je remercie Patrice Garcia le chef de l'équipe RF and ePM Design Solution qui m'a accueilli. Je remercie l'ensemble de l'équipe RF and ePM Design Solution de STMicroelectronics, Crolles, Stéphane Razafimandimby, Vincent Lagarest, Laurent Chabert, Valérie Danelon, Raphael Paulin et Samuel Foulon pour leurs aides précieuses durant ce travail.

Je remercie l'équipe des « PA » pour leur aide, particulièrement Denis Pache pour ses conseils avisés, Philippe Triolet et Christophe Arricastre. Je remercie Vincent Huard pour la collaboration étroite sur la fiabilité. Je remercie Caroline Arnaud, Floria Blanchet et Marcel Coly pour l'aide sur la caractérisation RF.

Je remercie Malal, Bruno, Julien, Vincent, Philip, Christian, Fabien, Benoît, Laurent, David, Jean-Pierre et Olivier qui m'ont permis de passer ces trois années de thèse dans la bonne humeur chez STMicroelectronics.

Je remercie l'ensemble du groupe RFHO de l'IMEP-LAHC de Grenoble et surtout Nicolas Corrao et Xavier Mescot pour leur disponibilité sur les mesures.

Mes dernières pensées vont à ma petite famille : Sophie ma compagne et Yann mon fils, mes parents Philippe et Martine sans qui je n'aurais tout simplement pas pu faire ces études, et, mon oncle Pascal qui m'a poussé à venir faire mes études à Grenoble. Enfin je remercie tous mes amis qui m'ont soutenu pendant ces trois années.

Table des matières

Avant propos

Table des matières

Introduction de la thèse.....1

Chapitre 1 : Les structures passives des technologies CMOS

avancées.....5

Introduction 7

1 Les structures de propagation en technologie CMOS avancées 8

1-1 Le choix des structures de propagation..... 8

1-2 Caractéristiques des lignes microruban 8

1-3 Intégration des lignes microruban..... 9

1-3-1 La description des niveaux d'interconnexions 10

1-3-2 L'intégration des lignes de transmission sur silicium 11

2 La modélisation électrique des éléments passifs..... 12

2-1-La modélisation des structures de propagation..... 12

2-1-1 Les motivations ayant conduit au développement d'un modèle analytique..... 12

2-1-2 La description du modèle..... 13

2-1-3 Mesures et extractions des paramètres 19

2-2-La modélisation des éléments passifs localisés et utilisés dans la conception des circuits 28

2-2-1 Les capacités multi doigts 3D Métal Oxyde Métal (MOM)..... 28

2-2-2 Les plots de mesure RF 34

Conclusion..... 35

Références 37

Chapitre 2 : Les transistors MOS des technologies CMOS

avancées.....41

| | |
|--|----|
| Introduction | 43 |
| 1 Le transistor MOS pour les applications millimétriques | 44 |
| 1-1 Présentation du transistor MOS | 44 |
| 1-2 Le modèle PSP intrinsèque | 46 |
| 1-3 Le modèle du transistor MOS pour les applications de puissance aux fréquences millimétriques..... | 47 |
| 1-3-1 Les contraintes de dessin respectant les règles d'électromigration | 47 |
| 1-3-2 Le modèle complet du transistor MOS | 50 |
| 1-4 Les transistors MOS dans les applications millimétriques | 51 |
| 1-4-1 Paramètres critiques des transistors MOS pour les applications RF | 51 |
| 1-4-2 Etat de l'art des différentes technologies de transistors pour les applications millimétriques..... | 52 |
| 2 Performances des transistors MOS en technologie CMOS 65nm, 45nm et 32 nm..... | 54 |
| 2-1 Mesure, correction et extraction des paramètres..... | 54 |
| 2-2 Caractéristiques statiques | 55 |
| 2-3 Caractéristiques dynamiques petits signaux aux fréquences millimétriques | 58 |
| 2-4 Caractéristiques en bruit du transistor MOS | 60 |
| 3 La modélisation du vieillissement des transistors MOS | 62 |
| 3-1 Les différents mécanismes de dégradation des transistors MOS | 62 |
| 3-1-1 La dégradation par porteurs chauds | 62 |
| 3-1-2 Le NBTI..... | 64 |
| 3-1-3 La claquage de l'oxyde de grille..... | 65 |
| 3-2 Le modèle de dégradation par porteurs chauds..... | 66 |
| 3-3 Mesure de la dégradation par porteurs chauds des transistors MOS | 68 |
| Conclusion..... | 69 |
| Références | 71 |

Chapitre 3 : La conception d'amplificateurs de puissances dédiés aux tests de fiabilité.....75

| | |
|---|-----|
| Introduction | 77 |
| 1 Généralités sur les amplificateurs de puissance | 78 |
| 1-2 Etat de l'art des amplificateurs de puissance fonctionnant aux fréquences millimétriques | 79 |
| 2 Conception d'un amplificateur de puissance à un étage respectant les règles d'électromigration à 125°C | 82 |
| 2-1 Choix du transistor et topologie de l'étage | 82 |
| 2-1-1 Le choix de la topologie du circuit | 82 |
| 2-1-3 Le dimensionnement du transistor du PA à 1 étage | 82 |
| 2-2 Méthodologie de conception | 86 |
| 2-3 Performances de l'amplificateur de puissance à un étage..... | 90 |
| 2-3-1 Méthode de caractérisation | 90 |
| 2-3-2 Résultats des mesures | 90 |
| 3 Conception d'un amplificateur de puissance à deux étages respectant les règles d'électromigration à 125°C | 92 |
| 3-1 Dimensionnement des étages | 92 |
| 3-2 Méthodologie de conception du circuit..... | 93 |
| 3-3 Performances de l'amplificateur de puissance à deux étages | 94 |
| 4 Conception d'un amplificateur de puissance hautes performances à 4 étages | 97 |
| 4-1 Méthodologie de conception de l'amplificateur | 97 |
| 4-2 Performances mesurées de l'amplificateur | 99 |
| Conclusion..... | 101 |
| Références | 103 |

Chapitre 4 : L'étude de la fiabilité des amplificateurs de puissances à 60 GHz en technologie CMOS 65 nm.....105

| | |
|--|-----|
| Introduction | 107 |
| 1 Le principe de l'étude de la fiabilité d'un amplificateur de puissance | 109 |

| | |
|--|------------|
| 1-1 Statistique du vieillissement et répétitivité des mesures..... | 109 |
| 1-2 La simulation du vieillissement sous Mentor Graphics Eldo | 110 |
| 1-3 Le calcul du temps de vie d'un dispositif | 111 |
| 2 Méthodologie d'étude de la fiabilité des amplificateurs de puissance à 60 GHz en technologie CMOS 65nm | 113 |
| 2-1 Description de la méthodologie | 113 |
| 2-1-1 Ajustement du modèle de vieillissement sur le silicium | 113 |
| 2-1-2 Validation du modèle de vieillissement à 60 GHz | 114 |
| 2-2 La description du banc de test de vieillissement..... | 116 |
| 2-3 Les paramètres mesurés pendant les tests de vieillissement..... | 117 |
| 2-4 Les relations entre les grandeurs caractéristiques des transistors MOS et des amplificateurs de puissance..... | 117 |
| 3 Résultats de mesure du vieillissement des amplificateurs de puissance..... | 121 |
| 3-1 L'ajustement et la validation du modèle de vieillissement pour des stress statiques .. | 121 |
| 3-1-1 Validation sur les caractéristiques statiques du transistor MOS..... | 121 |
| 3-1-2 Validation du modèle et mesures du vieillissement de l'amplificateur à un étage après un stress statique | 122 |
| 3-1-3 Mesures effectuées sur l'amplificateur de puissance à quatre étages..... | 124 |
| 3-2 Validation du modèle de vieillissement à 60 GHz..... | 126 |
| 3-3 Discussion sur le modèle | 129 |
| 3-4 Estimation du temps de vie d'un amplificateur de puissance fonctionnant à 60 GHz | 130 |
| 3-4-1 Etude de l'amplificateur à 1 étage en technologie CMOS 65 nm | 130 |
| 3-4-2 Etude de l'amplificateur à 4 étages en technologie CMOS 65 nm..... | 131 |
| 3-5 Perspective de cette étude | 133 |
| Conclusion..... | 135 |
| Références | 137 |
| Conclusion de la thèse..... | 141 |
| Annexe 1 : Les mesures hyperfréquences | 145 |
| Annexe 2 : Les plots hyperfréquence..... | 153 |

| | |
|---|-----|
| Annexe 3 : Courbes supplémentaires des comparaisons entre mesures et simulations du vieillissement d'un amplificateur de puissance..... | 155 |
| Annexe 4 : La conception d'un amplificateur hautes performances et fiable en technologie CMOS 65 nm à 60 GHz | 157 |
| Annexe 5 : Publications..... | 161 |

Introduction de la thèse

La miniaturisation est un objectif important dans les systèmes utilisant des fonctions électroniques. Les avancées des technologies CMOS permettent d'intégrer sur un seul circuit des fonctions très diverses telles que les interfaces radiofréquences (RF) pour les systèmes radio, les parties de traitement analogique en bande de base (filtrage et conversion) et les fonctions de traitement numérique. Avec l'avancée des technologies nanométriques, l'augmentation des fréquences de coupure des transistors MOS permettent la conception de fonctions travaillant à des fréquences de plus en plus élevées allant jusqu'à la gamme millimétrique (supérieures à 40 GHz).

Les applications dans le domaine millimétrique sont nombreuses. A titre d'exemple, nous pouvons citer les radars anticollisions (service d'aide à la conduite automobile), qui ont une bande de fréquence allouée de 77 GHz à 81 GHz. Le deuxième type d'applications concerne les réseaux indoor (boucle locale) et outdoor (entre objets mobiles) WLAN à 60 GHz (wireless local area network : système large bande à fort débit). Nous pourrions aussi citer certaines applications médicales et militaires.

Le fonctionnement en gamme millimétrique offre de nombreux avantages. En ce qui concerne les systèmes de radiocommunication, les largeurs de bandes importantes disponibles permettent de transmettre et recevoir des données à haut débit. De plus, les bandes de fréquences mises en jeu offrent des disponibilités pour de nouvelles applications. Enfin, la réduction des longueurs d'onde permet une intégration des composants passifs à l'échelle du circuit intégré, soit sous forme de ligne de propagation soit sous forme de composants localisés.

Toutefois, cette montée en fréquence s'accompagne, pour les circuits RF, de nouvelles difficultés. Tout d'abord les pertes dans les éléments passifs augmentent fortement avec la fréquence et atténuent de façon importante le signal. Ensuite, les couplages électromagnétiques entre ces éléments doivent être pris en compte. En ce qui concerne les composants MOS, leur miniaturisation qui accompagne cette montée en fréquence, implique

une complexification de leur modélisation. En effet, leurs performances intrinsèques sont fortement perturbées par les éléments parasites ramenés par les interconnexions les reliant aux autres éléments du circuit. Leur dégradation au cours du temps doit être aussi prise en compte. Ce dernier point impose une quantification précise de cette dégradation ainsi que son impact sur les caractéristiques des circuits incorporant ces composants.

Dans un émetteur/récepteur radio, l'amplificateur de puissance est un bloc très pertinent pour l'étude de la fiabilité des circuits millimétriques. En effet il est soumis à des niveaux de puissance élevés et par conséquent à des niveaux de tension et de courant importants. De plus, l'utilisation de modulations numériques complexes exige aux niveaux de ces amplificateurs une grande linéarité (point de compression élevé) pour permettre une puissance de sortie maximum tout en préservant une distorsion minimale. Ce dernier point nécessite que ces amplificateurs fonctionnent en classe linéaire (classe A ou AB) correspondant à des consommations statiques importantes.

Ce travail de recherche est dédié à l'étude de la fiabilité des amplificateurs de puissance fonctionnant à 60 GHz, intégrés dans la technologie CMOS 65 nm de STMicroelectronics et à la validation du modèle de vieillissement quasi-statique disponible au sein de cette société. Cette étude a nécessité la réalisation d'amplificateurs optimisés en termes de performances afin d'étudier dans un deuxième temps de façon pertinente leur vieillissement.

Ce mémoire de thèse comporte deux grandes parties. Une première partie composée de trois chapitres est axée sur la réalisation et la caractérisation d'amplificateurs de puissance fonctionnant autour de 60 GHz. La seconde partie est consacrée à l'étude du vieillissement de ces amplificateurs pour en déduire, à partir d'un modèle existant, leur durée de vie selon des critères préalablement définis.

Le premier chapitre est consacré à la modélisation des composants passifs utilisés dans les amplificateurs, à savoir les lignes de propagation en structure microruban et les capacités métal-oxyde-métal (MOM).

Le second chapitre est consacré à l'élaboration d'un modèle extrinsèque du transistor MOS en technologie 65nm. Ce modèle prend en compte les parasites dus aux accès du transistor. De plus, les règles d'électromigration sont prises en compte dans le dessin complet des transistors MOS, en particulier au niveau de ses accès qui véhiculent des courants importants. Dans la deuxième partie de ce chapitre, nous introduisons le modèle de vieillissement par porteurs chauds (principal phénomène de vieillissement) qui est mis en œuvre dans les outils de conception par STMicroelectronics.

Dans le troisième chapitre, nous présentons la méthode de conception que nous avons utilisée pour réaliser les amplificateurs de puissance. Cette méthode permet d'optimiser les performances des amplificateurs en termes de gain et de point de compression tout en prenant en compte les règles d'électromigration. Ce dernier point est impératif afin d'étudier la fiabilité des amplificateurs sans détériorer les niveaux de métallisation. Les résultats de caractérisation des amplificateurs sont présentés et comparés aux simulations afin de démontrer la validité des modèles développés et la méthodologie de conception proposée.

La deuxième partie du travail concerne l'étude de la fiabilité des amplificateurs réalisés. Cette deuxième partie est traitée en un seul et quatrième chapitre. Une méthodologie expérimentale et originale est présentée qui permet d'appliquer sur les amplificateurs des stress de vieillissement accélérés tout en les soumettant à des signaux à 60 GHz. La détérioration des caractéristiques des amplificateurs (principalement le gain et le point de compression en sortie) suite à ces stress dynamiques est comparée à celle simulée à partir du modèle de vieillissement quasi-statique. Nous montrons la validité de ce modèle pour prévoir l'évolution des performances des amplificateurs en fonctionnement réel, c'est à dire lorsqu'ils sont soumis à des signaux radiofréquences à 60GHz.

Chapitre 1

Les structures passives des technologies CMOS avancées

Introduction

Dans le contexte de l'étude de la fiabilité des amplificateurs de puissance conçus en technologies CMOS avancées, nous allons détailler l'étape de conception de ces circuits. Dans ce travail, il faut distinguer l'étude de la partie active du circuit (les transistors) et de la partie passive (les structures de propagation et les éléments passifs localisés). Une modélisation fine de ces structures nous assure une bonne maîtrise des niveaux d'impédance, des pertes et des niveaux de tension à l'intérieur des amplificateurs de puissance conçus, lors de l'étude de leur fiabilité. Ce premier chapitre regroupe les structures de propagation et les éléments passifs localisés utilisés lors de la conception des amplificateurs fonctionnant à 60 GHz. Nous considérerons plus particulièrement les lignes de transmission, les capacités multi doigts métal-oxyde-métal (MOM) et plus brièvement les plots hyperfréquences.

Nous présentons dans un premier temps les différentes caractéristiques des technologies CMOS avancées à forte densité d'intégration. Nous faisons un état de l'art des différentes structures utilisées aux fréquences millimétriques et présentons leur intégration dans les niveaux d'interconnexions des technologies CMOS avancées. Ensuite, nous proposons un modèle analytique pour chacune d'entre elles et expliquons les techniques de mesure et d'extraction des paramètres. Enfin nos modèles sont comparés aux mesures afin de valider notre démarche de conception et de modélisation de ces structures passives.

1 Les structures de propagation en technologies CMOS avancées

Cette partie présente l'évaluation des paramètres permettant de caractériser les structures de propagation de type microruban. Nous comparons leurs performances pour faire le choix de la structure optimale. Ensuite nous expliquons les techniques d'intégration de ces lignes dans les technologies CMOS avancées 65nm, 45nm et 32nm.

1-1 Le choix des structures de propagation

La propagation du signal RF dans un circuit intégré peut se faire via différentes structures : les lignes microruban (microstrip line : MSL), les lignes coplanaires (coplanar waveguide : CPW) et leurs dérivées. Afin de choisir la structure optimale pour nos applications, nous prenons celle qui présente le moins de pertes à une impédance caractéristique donnée.

Nous nous basons tout d'abord sur l'étude très complète menée par S. Pruvost lors de sa thèse [1]. Il compare les mesures des constantes d'atténuations sur silicium (les pertes) de différentes structures, aussi bien CPW que MSL, jusqu'à 40 GHz, avec différents plans de masse. Il montre que la structure présentant le moins de pertes (autour de 1 dB/mm) à une impédance caractéristique de 50 Ω , dans une technologie BiCMOS SiGe, est la ligne microruban. Nous utilisons donc cette structure de propagation dans nos circuits que nous intégrons dans des technologies CMOS avancées.

1-2 Caractéristiques des lignes microruban

Afin de comparer entre elles les lignes de transmission, nous rappelons quelques définitions.

Le principal mode de propagation dans une ligne microruban intégrée est le mode transverse électromagnétique : TEM. Le champ électrique se propage selon l'axe z et s'écrit :

$$E_x(z) = Ae^{-\gamma z} + Be^{\gamma z} \quad (1)$$

où γ est la constante de phase de l'onde définie par la relation :

$$\gamma = \alpha + j\beta \quad [\text{m}^{-1}] \quad (2)$$

où α est la constante d'atténuation, et caractérise les pertes de la ligne. Elle dépend des dimensions de la ligne : la largeur w et la hauteur h .

β représente la constante de propagation et est définie comme :

$$\beta = \frac{2\pi}{\lambda} \quad [\text{m}^{-1}] \quad (3)$$

où λ est la longueur d'onde guidée.

α et β sont donc des éléments propres à la ligne qui permettent de comparer les structures de propagations entre elles. Un troisième élément de comparaison est nécessaire pour caractériser une ligne: son impédance caractéristique Z_c , exprimée en ohms. Elle est fixée par les paramètres physiques et géométriques de la ligne. Sur la Figure 1 nous présentons les paramètres géométriques d'une ligne microruban.

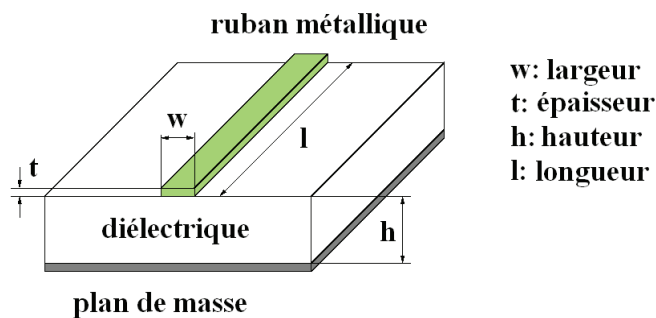


Figure 1 : Schéma d'une ligne microruban avec ses caractéristiques géométriques

Pour comparer les lignes entre elles, nous fixons généralement $Z_c = 50 \, \Omega$. Les expressions des paramètres caractéristiques de la ligne seront développées plus loin dans ce chapitre. Nous étudions ensuite les techniques d'intégration de ces structures sur un substrat en silicium.

1-3 Intégration des lignes microruban

Dans cette partie nous expliquons comment intégrer les lignes microruban dans les niveaux d'interconnexions métalliques des technologies CMOS avancées.

1-3-1 La description des niveaux d'interconnexions

Les niveaux de métallisation ou d'interconnexions disponibles dans les technologies CMOS 65nm, 45nm et 32nm, présentés sur la Figure 2, sont constitués de 5 niveaux de métal fin en cuivre, 2 niveaux de métal épais en cuivre plus 1 niveau d'aluminium appelé alucap. Ces niveaux métalliques sont connectés entre eux par des vias métalliques en cuivre. Les couches diélectriques intermédiaires sont constituées d'oxyde et de nitrure de silicium. Substituer l'aluminium par le cuivre dans les interconnexions permet d'obtenir une plus faible résistivité dans les conducteurs, mais cela nécessite un nouveau procédé de dépôt appelé damascène. Ce procédé permet de déposer le cuivre dans une zone isolée par une barrière en alliage de tantale. Ceci permet d'éviter toute contamination du reste de la plaque par les atomes de cuivre. En effet leur faible rayon atomique leur permet de diffuser très facilement dans le silicium.

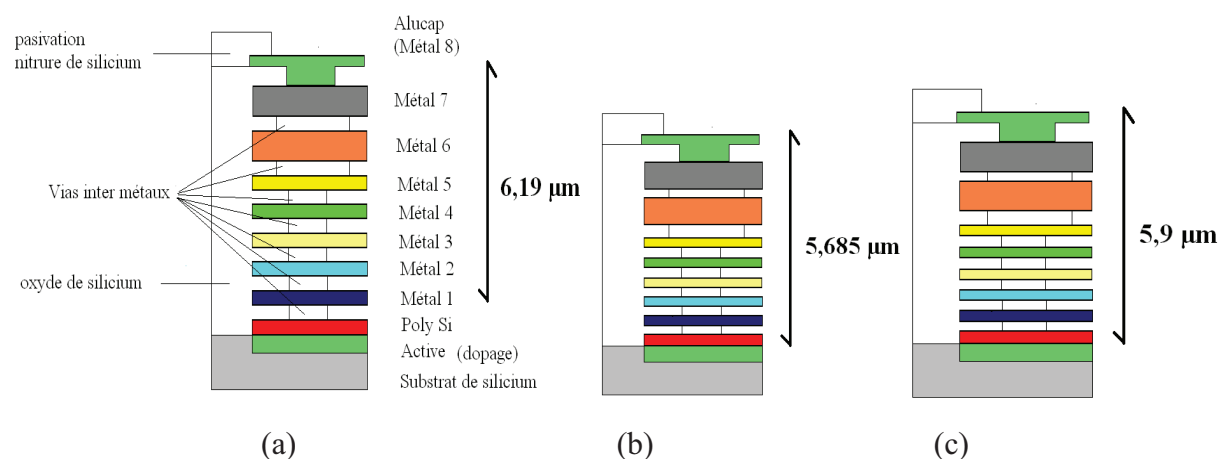


Figure 2 : Structure simplifiée des couches métalliques en technologie CMOS 65 nm (a), CMOS 45 nm (b) et CMOS 32 nm (c)

Le problème de ces technologies à forte densité d'intégration est le respect de la densité des métaux. En effet, pour chacun de ces niveaux, leur densité doit être comprise entre 20 % et 80 % dans des fenêtres de 50 μm par 50 μm . Ces règles permettent d'éviter tout problème d'érosion ou de cuvette lié à la planarisation par le processus de polissage mécanochimique (chemical mechanical polishing : CMP). Pour respecter ces densités, il faut donc ajouter (trouer) les niveaux de métallisation pleins et ajouter des métaux où il en manque.

1-3-2 L'intégration des lignes de transmission sur silicium

L'intégration suivant un modèle multicouche permet d'envisager la conception sur silicium de structures de propagation telles que les lignes microruban (thin film micro strip : TFMS). Le signal radiofréquence (RF) se propage sur un ruban de métal composé soit d'alucap (Ap) seul, soit d'un empilement alucap sur métal7 (Ap/M7) permettant de diminuer sa résistivité. Le plan de masse d'une telle structure de propagation est composé de la superposition de métaux inférieurs ajourés disposés de manière à isoler le plus possible la ligne, du substrat à pertes.

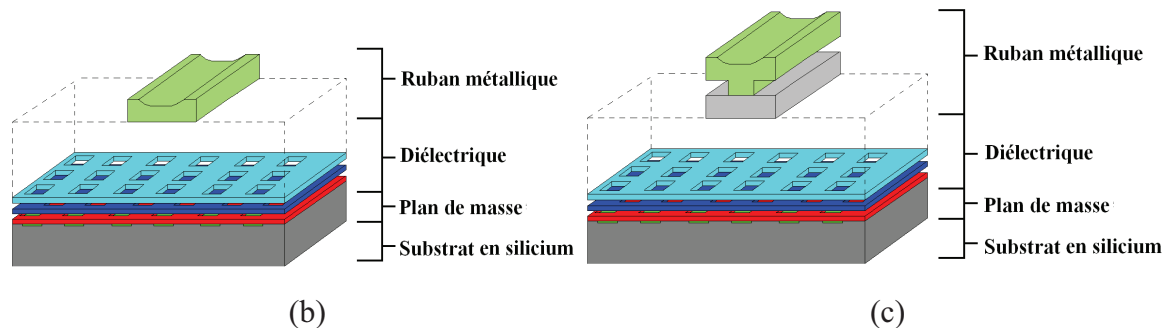


Figure 3 : Schéma simplifié en perspective d'une ligne microruban alucap sur métal1/métal2 (a) et en perspective sans les plans de masses latéraux (b) et vue en perspective d'une ligne microruban alucap/métal7 sur métal1/métal2.

Sur la Figure 3 nous représentons un schéma simplifié et en perspective d'une ligne microruban en alucap avec un plan de masse en métal1 sur métal2 (a) et d'une ligne alucap/métal7 avec un plan de masse métal1/métal2 (b), intégrés dans une filière CMOS.

2 La modélisation électrique des éléments passifs

Les modèles analytiques que nous avons développés pour décrire le comportement des éléments passifs utilisés dans nos circuits sont exposés dans cette partie.

2-1-La modélisation des structures de propagation

Nous présentons tout d'abord dans ce paragraphe les motivations qui nous ont conduits à développer un modèle de ligne microruban. Ensuite, nous développons le modèle analytique de ligne microruban paramétrable et intégrable dans des logiciels de CAO (conception assisté par ordinateur) que nous utilisons.

Ce modèle nous permet de calculer la constante d'atténuation α , l'impédance caractéristique Z_c et la constante de propagation β de nos lignes exclusivement en fonction de leur géométrie.

2-1-1 Les motivations ayant conduit au développement d'un modèle analytique

Deux types de simulateurs existent pour caractériser des structures de propagation : les simulateurs électromagnétiques tels que Momentum, HFSS, CST et les simulateurs intégrant directement un modèle de ligne microruban comme ADS/RFDE ou Eldo.

- Les simulateurs électromagnétiques permettent de simuler directement le dessin de la ligne conçue et sont une aide au développement des modèles dits « tentative ». Mais le temps de simulation est très important (supérieur à une heure pour l'étude électromagnétique d'une ligne de longueur $l > 100 \mu\text{m}$) et doit être répété pour chacune des lignes du circuit ayant une longueur ou une largeur différente. Ceci devient problématique lors de la conception des circuits.

- Les modèles intégrés permettent un temps de simulation très court et peuvent être paramétrés en fonction de la longueur et de la largeur de la ligne. Mais ils ne peuvent pas être utilisés lors du dessin du circuit sous Cadence.

Devant un manque d'outils simples d'utilisation permettant de concevoir et de dessiner des lignes microruban en utilisant le logiciel de CAO Cadence, nous décidons de développer notre propre modèle analytique et compatible avec les simulateurs du type Eldo, Spectre, RFDE et Goldengate. Ce modèle doit être paramétrable par l'utilisateur en entrant uniquement la valeur de la longueur l et de la largeur w de la ligne et doit permettre une équivalence entre son schéma électrique et son dessin. Les paramètres géométriques sont fixés dans le modèle. Pour ce faire, nous nous basons sur les travaux effectués par S. Pruvost chez STMicroelectronics.

2-1-2 La description du modèle

a) Le modèle analytique

Nous avons donc développé un modèle analytique de ligne paramétrable par le concepteur. Il est ensuite complètement intégré dans les simulateurs commerciaux communément utilisés en conception de circuits et supportés par Cadence ou ADS.

Actuellement, trois grands modèles analytiques et quelques solutions approximatives sont disponibles pour décrire le comportement des lignes microruban, en fonction de la fréquence et de ses paramètres caractéristiques.

Ces trois principaux modèles analytiques ont été formulés respectivement par Wheeler [10], Schneider [11] et Hammerstad [5]. Chacun présente des avantages et des inconvénients. Ainsi, nous pouvons trouver dans la littérature [12] et [13], plusieurs articles qui soulignent leurs limites et les améliorations à leur apporter pour permettre un bon accord avec les mesures. Toutefois, ces modèles peuvent être utilisés comme une base pour l'approche d'un cas de ligne microruban intégrée sur silicium (TFMSL) alors qu'ils étaient principalement utilisés jusqu'ici pour modéliser les lignes microruban classique imprimées sur circuit imprimés (MSL).

Les TFMSL sont très différentes des MSL classiques en termes de dimensions. Les largeurs des TFMSL et l'épaisseur de leur ruban métallique sont de l'ordre de quelques micromètres. Les MSL ont des largeurs de l'ordre de la centaine de microns. La littérature [3-

[14] montre des modèles de lignes de transmission, mais les technologies utilisées ne sont pas clairement présentées et la gamme de fréquence est limitée à la RF (ordre de grandeur du GHz) et non aux fréquences millimétriques.

Les trois modèles suivants sont étudiés pour déterminer lequel est le plus adapté à nos conditions d'utilisation et de conception.

Dans le modèle développé par Wheeler [10], les équations de synthèse et d'analyse sont basées sur l'approximation d'une représentation conforme de la frontière du diélectrique avec des rubans métalliques parallèles séparés par une couche de diélectrique. Cependant, ce modèle n'est applicable qu'aux substrats de type alumine ($8 < \epsilon_r < 12$), et non aux métaux des substrats de silicium ($\epsilon_r \sim 4$).

Le modèle de Schneider [11] est divisé en deux régions d'utilisation en fonction des paramètres géométriques de la ligne (largeur W et hauteur h). La séparation entre les régions est déterminée par le rapport $w/h=1$, situé au milieu de la gamme d'utilisation de nos applications. Cette discontinuité du modèle est problématique dans notre cas.

Cette étude des modèles nous amène à choisir celui d'Hammerstad et Jensen [5], parce qu'il permet d'utiliser une large gamme de valeurs de la permittivité ϵ_r et du rapport w/h . De plus, il s'adapte facilement à des dimensions de lignes intégrées sur silicium et offre la plus haute précision. Enfin, ce modèle peut facilement être amélioré afin de tenir compte des effets liés aux niveaux d'interconnexion en technologie CMOS.

Partons de l'hypothèse, expliqué dans [5], d'un régime quasi-statique, où le principale mode de propagation dans nos lignes est le mode quasi TEM. Considérons aussi que le guide d'onde (la ligne microruban) est constitué de deux conducteurs (ruban métallique et plan de masse) baignant dans un milieu homogène (air et oxyde de silicium). Ceci nous permet de déterminer l'impédance caractéristique Z_c et la permittivité effective ϵ_{reff} du milieu air et oxyde dans lequel baignent les métaux. De plus nous considérons le plan de masse comme parfait. Des ajustements sur certains paramètres sont ainsi nécessaires pour faire correspondre la mesure avec ce modèle.

Premièrement, nous intégrons au modèle d'origine la résistance statique de la ligne. Elle est égale à :

$$R_{DC} = \frac{\rho.l}{S} [\Omega] \quad (4)$$

où ρ est la résistivité du ruban métallique (en $\Omega.m$), l la longueur de la ligne (en m) et S sa section (en m^2).

Ensuite, nous décrivons les étapes de calcul amenant à la valeur de l'impédance caractéristique, de la constante de phase en fonction de la fréquence et des paramètres géométrique (w et h) de la ligne. Tout d'abord, nous établissons l'impédance caractéristique $Z_c(\epsilon_r, w, h)$ et la permittivité effective $\epsilon_{r\text{ eff}}(\epsilon_r, w, h)$, uniquement en fonction des paramètres physiques et géométriques de la ligne.

Dans la deuxième étape, nous corrigeons la largeur w du ruban métallique et la permittivité effective pour se placer dans un cas de figure propre au silicium. En effet, élargir la ligne revient physiquement à épaissir le ruban métallique, donc w devient $w + \Delta w$. Parce qu'en technologie silicium les épaisseurs sont nettement plus fines qu'en technologies pour les circuits imprimés, nous allons corriger Δw qui devient ainsi $\Delta w \times \text{Corr_} \Delta w$ pour accorder les modèles aux mesures. $\text{Corr_} \Delta w = 0,4$ en technologie CMOS 65nm et $\text{Corr_} \Delta w = 0,55$ en 45nm et en 32nm. Une correction similaire à la largeur du ruban métallique est présentée dans la référence [2].

Un autre paramètre de correction sur la permittivité effective ϵ_{reff} sera ajouté. Cette correction permet de prendre en compte l'effet de la couche de passivation constituée principalement d'azote déposé sur la ligne. En effet la ligne est dans un milieu composé d'air et d'oxyde de silicium SiO_2 mais aussi d'azote (due à la couche de passivation) ce qui change la valeur de la permittivité effective. ϵ_{reff} devient donc $\epsilon_{\text{reff}} \times \text{Corr_} \epsilon_{\text{reff}}$ avec $\text{Corr_} \epsilon_{\text{reff}}$ égale à 1,3 pour les trois technologies CMOS que nous utilisons. Ce résultat est en accord avec les valeurs de permittivité effective présenté dans la littérature ([15] et [16]). Nous arrivons donc aux relations $Z_c(\epsilon_r, w + \Delta w, h)$ et $\epsilon_{\text{reff}}(\epsilon_r, w + \Delta w, h)$ corrigées.

Enfin, nous tenons compte de la dispersion de l'onde dans le guide comme cela est décrit dans [5] : c'est-à-dire que nous prenons en compte la fréquence. Nous obtenons les équations suivantes :

$$Z_c = Z_c(\epsilon_r, w + \Delta w, h) \sqrt{\frac{\epsilon_{reff}(\epsilon_r, w + \Delta w, h)}{\epsilon_r(f)}} \cdot \frac{\epsilon_r(f) - 1}{\epsilon_{reff}(\epsilon_r, w + \Delta w, h) - 1} \quad [\Omega] \quad (5)$$

et

$$\epsilon_{reff} = \frac{\epsilon_r - \epsilon_{reff}(\epsilon_r, w + \Delta w, h)}{1 + \frac{\pi^2 \cdot \mu_0 \cdot h \cdot f \cdot (\epsilon_r - 1)}{6 Z_c(\epsilon_r, w + \Delta w, h) \epsilon_{reff}(\epsilon_r, w + \Delta w, h)}} \sqrt{\frac{2 \pi Z_c(\epsilon_r, w + \Delta w, h)}{\sqrt{\frac{\mu_0}{\epsilon_0}}}} \quad [\text{c.V}^{-1} \cdot \text{m}^{-1}] \quad (6)$$

Les équations (5) et (6) sont les deux équations fondamentales de notre modèle. Il est désormais possible d'établir la constante de phase de l'onde, $\gamma = \alpha + j\beta$.

Nous étudions tout d'abord la constante d'atténuation α en néper. Celle-ci peut se décomposer principalement en deux parties : les pertes métallique (résistive, effet de peau) et les pertes diélectriques (non idéalité du diélectrique) : $\alpha = \alpha_{\text{métal}} + \alpha_{\text{diélectrique}}$.

Les pertes métalliques, d'après [5], sont égales à :

$$\alpha_{\text{métal}} = \frac{R \cdot K_r \cdot K_i}{Z_c(f, \epsilon_r, w + \Delta w, h) \cdot (w + \Delta w)} \quad [\text{Np}] \quad (7)$$

où

$$R = \sqrt{\rho \cdot \pi \cdot \mu_0 \cdot \mu_r \cdot f} \quad [\Omega] \quad (8)$$

avec ρ , la résistivité du ruban métallique (en aluminium),

$$K_r = 1 + \frac{2}{\pi} \cdot \arctan \left(1,4 \cdot \left(\frac{\Delta \cdot \sqrt{\pi \cdot \mu_0 \cdot \mu_r \cdot f}}{\sqrt{\rho}} \right)^2 \right) \quad (9)$$

avec Δ la rugosité du ruban métallique,

$$K_i = \exp \left(-1,2 \cdot \left(\frac{Z_c(f, \epsilon_r, w + \Delta w, h)}{\sqrt{\frac{\mu_0}{\epsilon_0}}} \right)^{0,7} \right) \quad (10)$$

Les pertes diélectriques sont égales à :

$$\alpha_{diélectrique} = \frac{\epsilon_r \cdot (\epsilon_{reff}(f, \epsilon_r, w + \Delta w, h) - 1)}{\sqrt{\epsilon_{reff}(f, \epsilon_r, w + \Delta w, h) \cdot (\epsilon_r - 1)}} \cdot \frac{\pi}{\lambda_0} \cdot \tan(\delta_d) \quad [\text{Np}] \quad (11)$$

où $\tan(\delta_d)=0,004$ est la tangente des pertes du matériau.

Ensuite, nous établissons la formule de la constante de propagation β , égale à :

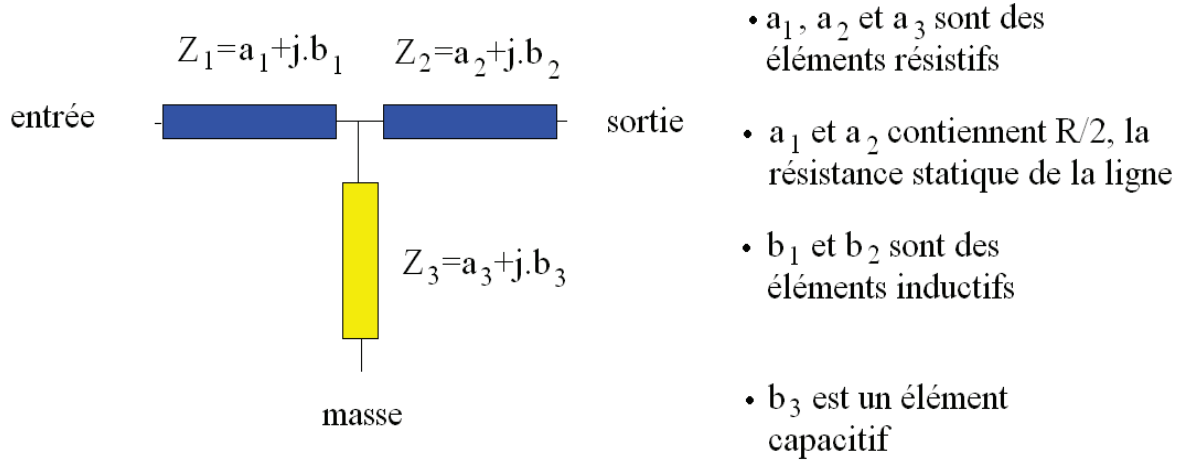
$$\beta = 2 \cdot \pi \cdot f \cdot \sqrt{\epsilon_{reff}(f, \epsilon_r, w + \Delta w, h) \cdot \mu_0 \cdot \epsilon_0} \quad [\text{m}^{-1}] \quad (12)$$

Nous pouvons maintenant écrire la matrice des impédances d'une ligne de propagation. Cette matrice, symétrique, est donnée par :

$$Z_{ligne} = \begin{pmatrix} \frac{Z_c(f, \epsilon_r, w + \Delta w, h)}{\tanh(\gamma(f, \epsilon_r, w + \Delta w, h)l)} & \frac{Z_c(f, \epsilon_r, w + \Delta w, h)}{\sinh(\gamma(f, \epsilon_r, w + \Delta w, h)l)} \\ \frac{Z_c(f, \epsilon_r, w + \Delta w, h)}{\sinh(\gamma(f, \epsilon_r, w + \Delta w, h)l)} & \frac{Z_c(f, \epsilon_r, w + \Delta w, h)}{\tanh(\gamma(f, \epsilon_r, w + \Delta w, h)l)} \end{pmatrix} \quad (13)$$

où l est la longueur de la ligne de propagation.

A présent nous disposons de tous les outils nécessaires à la modélisation de la ligne en fonction des paramètres géométriques w , h et l . Il faut maintenant se doter d'un schéma électrique équivalent : nous choisissons un modèle en T que nous décrivons sur la Figure 4.



la matrice impédance correspondante est

$$Z = \begin{pmatrix} Z_1 + Z_2 & Z_3 \\ Z_3 & Z_1 + Z_2 \end{pmatrix}$$

Figure 4 : Schéma simplifié du modèle en T utilisé pour décrire la ligne ainsi que la matrice des impédances associée.

En identifiant ce modèle électrique avec la matrice des impédances de notre modèle et en insérant la résistance statique (équation (3)) sur les éléments séries, nous obtenons :

$$Z_1 = Z_2 = Z_c \left(\frac{1}{\tanh\left(\frac{\gamma.l}{2}\right)} \right) + \frac{R_{DC}}{2} \quad [\Omega] \quad (14)$$

$$Z_3 = \frac{Z_c(f, \epsilon_r, w + \Delta w, h)}{\sinh(\gamma(f, \epsilon_r, w + \Delta w, h).l)} \quad [\Omega] \quad (15)$$

Ces travaux ont fait l'objet de deux publications : l'une à la conférence IEEE SiRF 2010 [22] et l'autre dans la revue Transaction on Microwave Theory and Techniques [23]. Le modèle en T peut être utilisé par des simulateurs commerciaux, et nous l'expliquons dans le paragraphe suivant.

b) L'intégration du modèle dans les logiciels de CAO

Nous avons modélisé une ligne microruban en fonction de ses paramètres physiques et géométriques. Nous allons maintenant intégrer ce modèle dans Cadence afin qu'il soit simulé par les simulateurs Eldo, Spectre et RFDE. Le but est d'obtenir le comportement de la ligne en fonction de la fréquence en ne paramétrant que sa longueur l et sa largeur w (h étant fixé).

Pour insérer le modèle dans Cadence, il faut créer un symbole avec une entrée et une sortie et contenant deux valeurs paramétrables : l et w . Ensuite cet objet doit, suivant le simulateur que l'on utilise, lire une netlist dans laquelle le modèle (équations (14) et (15)) est écrit.

Si nous utilisons les simulateurs Eldo et Spectre, notons qu'ils n'acceptent comme éléments passifs dans leur netlist que les paramètres R , L et C . Donc Z_1 , Z_2 et Z_3 (équations (14) et (15)) doivent être rédigés sous une forme complexe $a + j.b$ et identifiés avec R , L et C .

Quant à Spectre, on ne peut pas définir un composant en fonction de la fréquence. Celle-ci doit être fixée: ceci implique que le modèle est valide seulement autour de la fréquence d'application.

Pour le simulateur ADS (ou RFDE), les équations (13) et (14) peuvent être écrites directement dans la netlist en utilisant la formulation complexe.

2-1-3 Mesures et extractions des paramètres

a) Les structures de propagation réalisées

Afin de caractériser les lignes microruban, il est nécessaire de réaliser des motifs de test. La structure de test, dont la photo est montrée sur la Figure 5, est constituée de deux plots hyperfréquence d'accès de part et d'autre de la structure de test, qui sont reliés à la ligne par une ligne d'accès de $50\text{ }\mu\text{m}$ de long. Ces lignes d'accès permettent aux champs perturbés par la transition entre le plot et la ligne d'être stabilisés. Pour valider notre modèle pour différentes largeurs, nous avons conçus des lignes microruban de deux largeurs de ruban métallique différentes. L'une pour une impédance caractéristique grossièrement estimée

initialement à $50\ \Omega$ (w autour de $9\ \mu\text{m}$) et l'autre au minimum autorisé de la technologie $w = 3\ \mu\text{m}$.

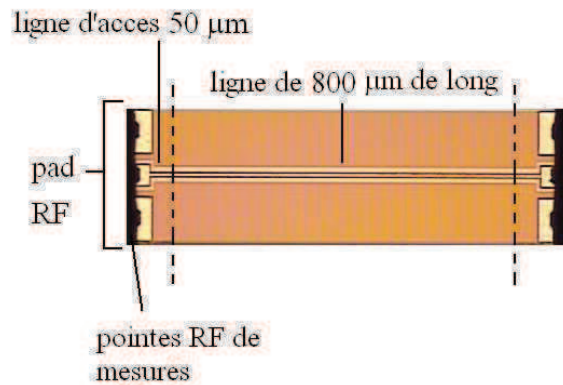


Figure 5 : Photo d'une structure de test d'une ligne alucap - métal 1/métal 2 en technologie CMOS 65nm de $800\ \mu\text{m}$ de long constitué des plots, des accès de $50\ \mu\text{m}$ de long en entrée et en sortie de la ligne

| technologie | Constitution de plan métallique | Constitution du plan de masse | Largeur (μm) |
|-------------|---------------------------------|-------------------------------|---------------------------|
| CMOS 65nm | Ap/M7 | M1/M2 | 9 |
| | Ap / M7 | M1/ M2 | 4,4 |
| | Ap | M1/ M2 | 9 |
| | Ap | M1/ M2 | 4,4 |
| CMOS 45nm | Ap / M7 | M1/ M2 | 6,2 |
| | Ap / M7 | M1/ M2 | 3 |
| | Ap | M1/ M2 | 9 |
| | Ap | M1/ M2 | 3 |
| | Ap | M1 | 9,9 |
| | Ap | M1 | 3 |
| | Ap / M7 | M1 | 7 |
| | Ap / M7 | M1 | 3 |
| | Ap | Polysilicium | 9 |
| | Ap | Polysilicium | 3 |
| CMOS 32nm | Ap / M7 | M1/ M2 | 9 |
| | Ap / M7 | M1/ M2 | 3 |
| | Ap | M1/ M2 | 9 |
| | Ap | M1/ M2 | 3 |

Tableau 1 : Récapitulatif des différentes structures TFMSL conçues dans les différentes technologies

Nous avons regroupé dans le Tableau 1 toutes les structures de ligne conçues et testées. Ap est le diminutif d'Alucap, M1 de métal 1 et M2 de métal 2.

b) Les mesures et l'extraction des paramètres des lignes microruban

Les structures de test sont excitées via des sondes hyperfréquences que l'on pose sur les plots (Figure 5), par un mode de propagation coplanaire. Pour s'affranchir d'éléments parasites de mesure tels que la résistance de contact, les lignes sont dessinées suffisamment longues (800 μm).

Les mesures hyperfréquences des paramètres S des lignes sont réalisées à l'IMEP-LAHC sur un banc de mesure permettant la mesure des paramètres S jusqu'à 110 GHz. Cet appareil est constitué d'un analyseur vectoriel de réseaux ANRITSU ME7808C Broadband Vector Network Analyser (VNA) générant un signal allant de 40 MHz à 65 GHz, d'une extension millimétrique et d'une station semi-automatique Cascade S300. Le banc est détaillé en Annexe 1.

Avant de poser les pointes sur la structure de test et de faire les mesures il faut tout d'abord étalonner (calibrer) le VNA. Nous fixons les plans de référence des mesures au niveau des sondes. Nous utilisons une méthode de type LRRM [17-19] pour calibrer le VNA. Ce type de calibrage est celui qui permet les mesures de paramètres S les plus précises. Une étude précise concernant le choix de la méthode de calibration du VNA est présentée dans l'Annexe 1.

Pour que nos résultats de mesure ne soient pas perturbés par les accès, il faut supprimer leur contribution. Pour cela nous corrigeons les accès aux lignes, des paramètres S mesurés, par la méthode des deux lignes, présentée dans la référence [20]. La méthode des deux lignes permet d'extraire rigoureusement les paramètres S d'un dispositif passif, comme une ligne de propagation. A partir de la mesure de la structure de test de la ligne et d'une structure identique ne contenant que les accès à la ligne, nous pouvons extraire les caractéristiques propres d'une ligne : son impédance caractéristique, sa constante de

propagation et sa constante d'atténuation. Le calcul matriciel permettant d'obtenir la matrice de paramètres S d'une structure est schématisé comme sur la Figure 6.

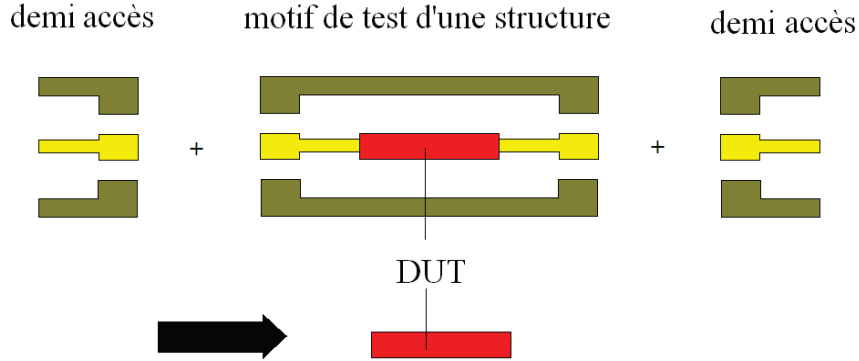


Figure 6 : Principe schématisé de la correction TL

Des paramètres S corrigés, nous calculons les paramètres Z et en déduisons la constante d'atténuation, l'impédance caractéristique et la constante de propagation [20]. Les équations de ces paramètres caractéristiques sont les suivantes :

$$\alpha = \frac{8.686 \cdot \left| \operatorname{real} \left(\log \left(\frac{Z_{11}}{Z_{21}} + \sqrt{\frac{Z_{11}^2}{Z_{21}^2} - 1} \right) \right) \right|}{l} \quad [\text{dB} \cdot \text{mm}^{-1}] \quad (16)$$

$$\beta = \frac{\left| \operatorname{imag} \left(\log \left(\frac{Z_{11}}{Z_{21}} + \sqrt{\frac{Z_{11}^2}{Z_{21}^2} - 1} \right) \right) \right|}{l} \quad [\text{m}^{-1}] \quad (17)$$

$$Z_c = \sqrt{Z_{11}^2 - Z_{21}^2} \quad [\Omega] \quad (18)$$

Nous regroupons dans le Tableau 2 les mesures à 60 GHz de la constante d'atténuation et de l'impédance caractéristique des lignes que nous avons conçues. Cette fréquence est celle à laquelle nous concevons nos amplificateurs de puissance.

| f=60 GHz | | w > w _{min} | | w _{min} | |
|-----------|-----------------------|--|--|--|--|
| Techno. | topologie de la ligne | Z _c (Ω) (largeur correspondante) | α (dB.mm ⁻¹) (largeur correspondante) | Z _c (Ω) (largeur correspondante) | α (dB.mm ⁻¹) (largeur correspondante) |
| CMOS 65nm | Ap-M1/M2 | 47 (w=9 μm) | 1 (w=9 μm) | 63 (w=4,4 μm) | 1,2 (w=4,4 μm) |
| | Ap/M7-M1/M2 | 36 (w=9 μm) | 1,1 (w=9 μm) | 51 (w=4,4 μm) | 1,2 (w=4,4 μm) |
| CMOS 45nm | Ap-M1 | 44 (w=9,9 μm) | 1,85 (w=9,9 μm) | 72 (w=3 μm) | 2 (w=3 μm) |
| | Ap-M1/M2 | 44 (w=9 μm) | 1,3 (w=9 μm) | 70 (w=3 μm) | 1,8 (w=3 μm) |
| | Ap/M7-M1 | 41 (w=7 μm) | 1,2 (w=7 μm) | 57 (w=3 μm) | 2,5 (w=3 μm) |
| | Ap/M7-M1/M2 | 41 (w=6,2 μm) | 1,6 (w=6,2 μm) | 55 (w=3 μm) | 1,9 (w=3 μm) |
| | Ap-polysilicium | 67 (w=9 μm) | 1,4 (w=9 μm) | 93 (w=3 μm) | 2 (w=3 μm) |
| CMOS 32nm | Ap-M1/M2 | 44 (w=9 μm) | 1 (w=9 μm) | 72 (w=3 μm) | 1,2 (w=3 μm) |
| | Ap/M7-M1/M2 | 44 (w=9 μm) | 1 (w=9 μm) | 55 (w=3 μm) | 1,2 (w=3 μm) |

Tableau 2 : Récapitulatif des performances mesurées à 60 GHz des différentes lignes de propagation caractérisées dans les différentes technologies

Les lignes microruban utilisées dans la conception des circuits doivent avoir la plus faible constante d'atténuation pour une impédance caractéristique donnée. D'après le Tableau 2, la ligne Ap-M1/M2 semble la plus appropriée dans les trois technologies. Cependant cette ligne n'est pas robuste aux forts courants pouvant la traverser lorsqu'elle est utilisée dans un amplificateur de puissance (cf. contraintes d'électromigration dans le Chapitre 2). La ligne Ap-polysilicium en CMOS 45nm semble intéressante mais ne peut être considérée comme une vraie ligne de propagation : le plan de masse en polysilicium étant très résistif.

Nous utilisons donc les lignes Ap/M7-M1/M2 comme structures de propagation dans nos amplificateurs de puissance à 60 GHz. En effet ces lignes sont robustes et présentent des pertes relativement faibles comparées à l'ensemble des structures testées.

c) Comparaison du modèle avec les mesures

Nous allons maintenant comparer notre modèle avec les mesures de la constante d'atténuation, de la constante de propagation et de l'impédance caractéristique, des lignes Ap-M1/M2 en technologies CMOS 45nm et 32nm et des lignes Ap/M7-M1/M2 en technologie CMOS 65nm, toutes de deux largeurs différentes.

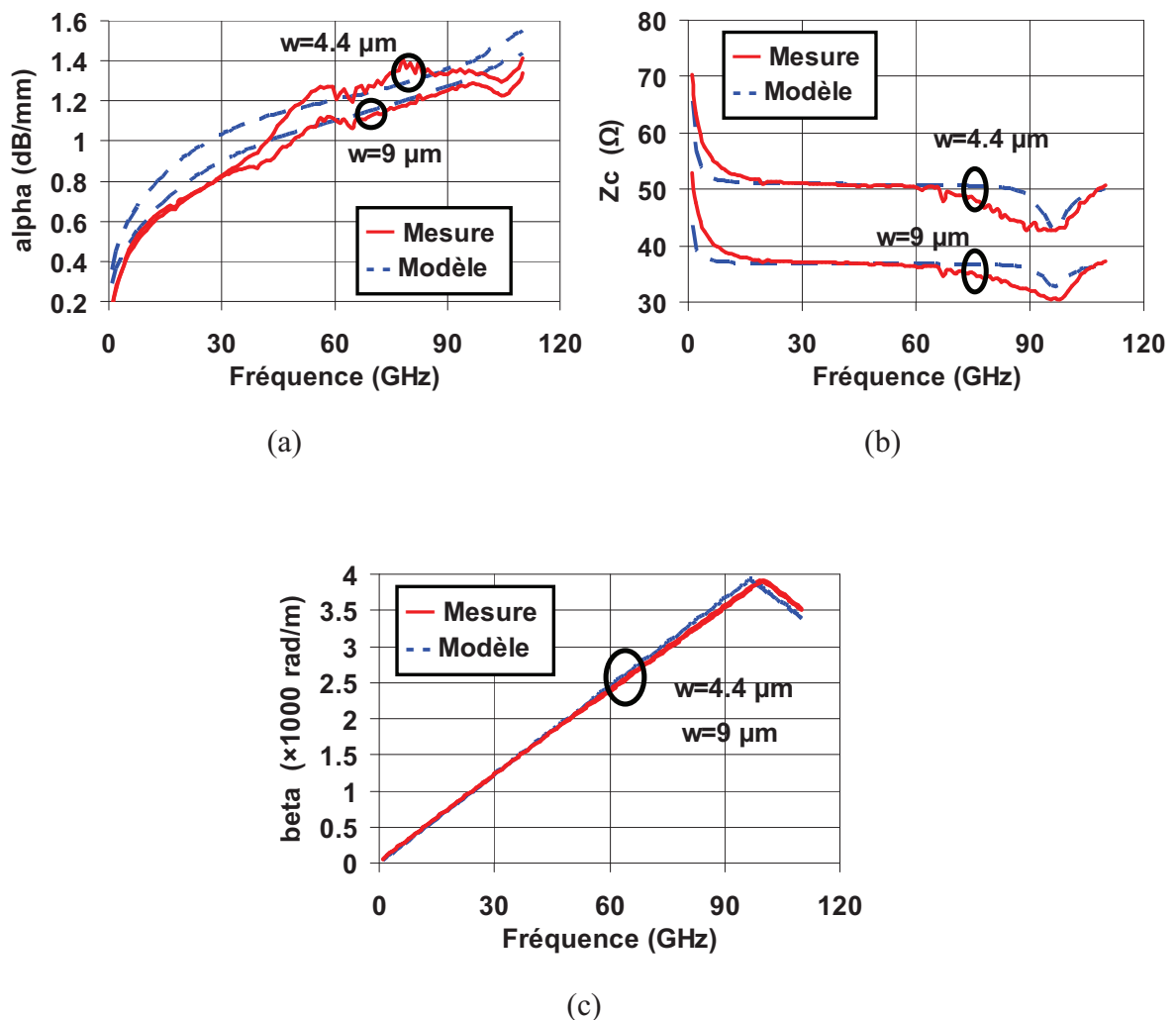


Figure 7 : Comparaison entre la mesure et le modèle de la constante d'atténuation (a), de l'impédance caractéristique (b) et de la constante de propagation (c) d'une ligne AP/M7-M1/M2 de largeur de $w = 9 \mu\text{m}$ et $4,4 \mu\text{m}$ en CMOS 65nm.

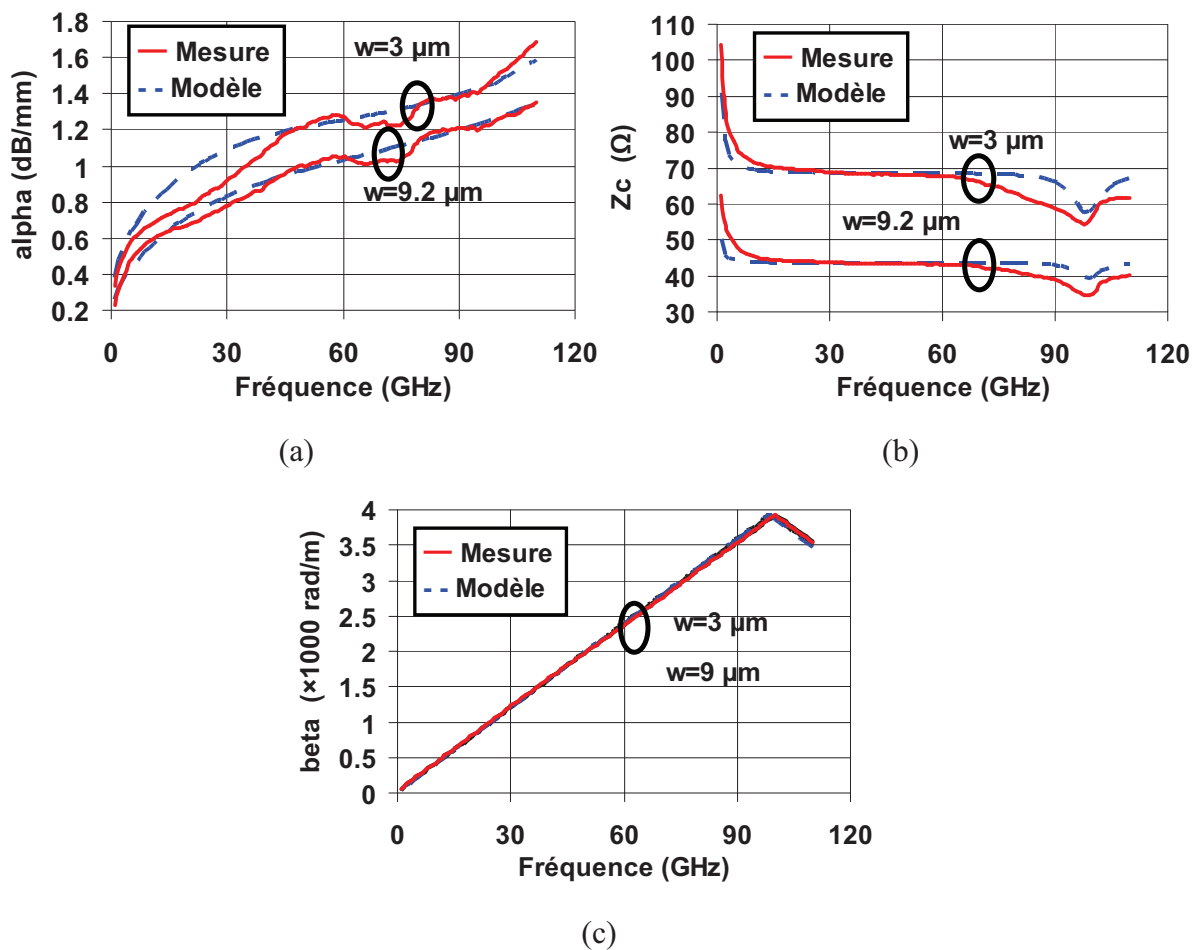
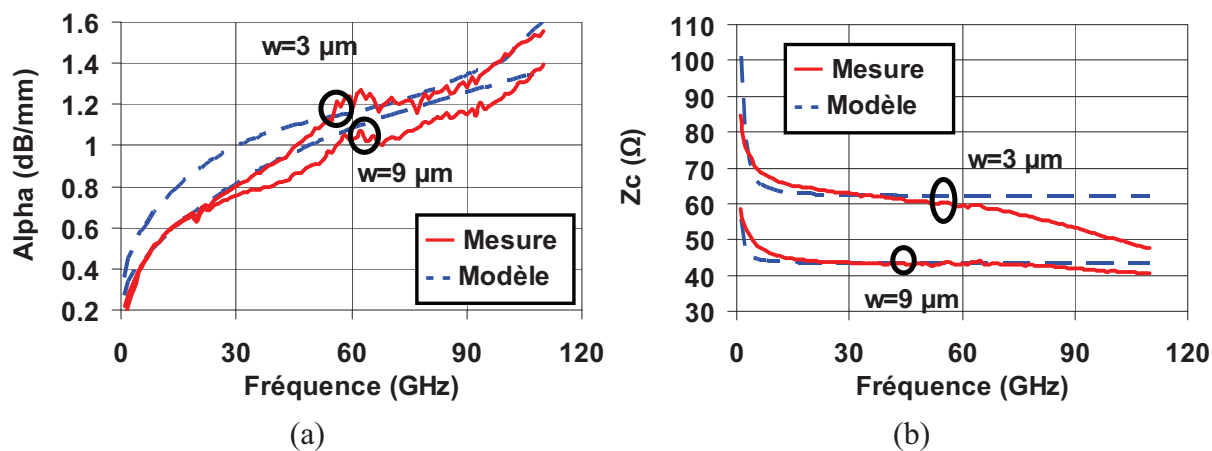
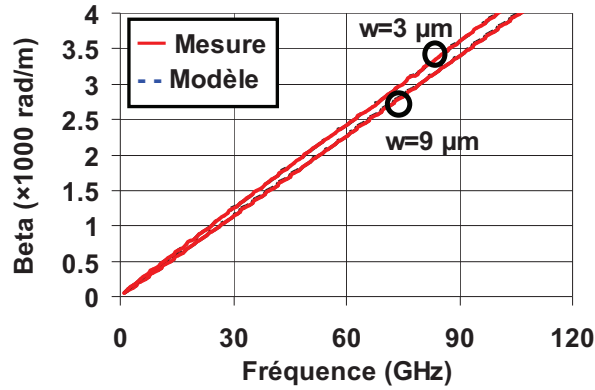


Figure 8 : Comparaison entre la mesure et le modèle de la constante d'atténuation (a), de l'impédance caractéristique (b) et de la constante de propagation (c) d'une ligne AP-M1/M2 de largeur de $w = 9,2 \mu\text{m}$ et $3 \mu\text{m}$ en CMOS 45nm





(c)

Figure 9 : Comparaison entre la mesure et le modèle de la constante d'atténuation (a), de l'impédance caractéristique (b) et de la constante de propagation (c) d'une ligne AP/M7-M1/M2 de largeur de $w = 9 \mu\text{m}$ et $4,4\mu\text{m}$ en CMOS 32nm

Nous observons un bon accord entre les mesures les simulations (Figure 7 - 9) pour les trois technologies silicium CMOS 65nm, 45nm et 32nm. Notre modèle permet donc de reproduire assez fidèlement le comportement d'une ligne microruban en fonction de la fréquence et cela pour des variations importantes de sa largeur w .

Cependant, les Figure 7 à 9 montrent qu'il existe une discontinuité sur l'impédance caractéristique autour de 100 GHz : c'est la résonance de la ligne. Elle apparait pour une fréquence f_{res} égale à :

$$f_{\text{res}} = \frac{c}{2 \cdot \pi \cdot l_{\text{ligne}} \cdot \sqrt{\epsilon_r}} \quad [\text{Hz}] \quad (19)$$

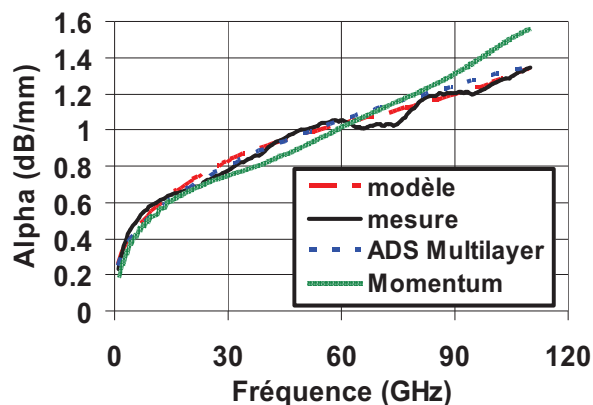
où l_{ligne} est la longueur de la ligne, c la célérité et ϵ_r la permittivité relative de la ligne.

Il est donc impossible d'exploiter les courbes après cette résonance car les propriétés de la ligne changent. Ceci nous démontre la limitation quant à l'utilisation des lignes microruban intégrées de grandes longueurs. En effet les lignes plus longues qu'un millimètre résonneront autour de 60 – 77 GHz. C'est pour cela que nous n'utilisons jamais des lignes d'une telle longueur dans nos circuits.

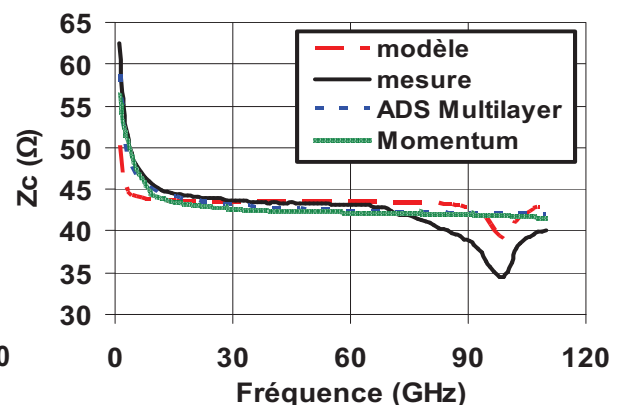
d) Comparaison du modèle avec les simulations effectuées avec Momentum et ADS Multilayer

ADS Multilayer comprend des modèles de ligne prédéfinis dans lesquels il nous faut renseigner ses paramètres physiques (permittivité, tangente delta...) et géométriques (w , h ...). Nous simulons une ligne alucap-métal1/métal2 (Ap-M1/M2) de 800 μm de long et de $w=9,2\mu\text{m}$ de large.

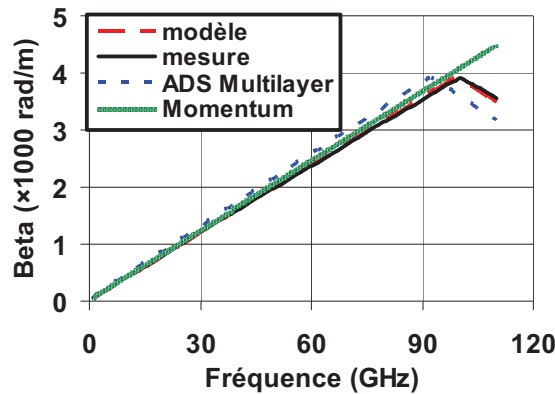
Momentum permet de simuler directement le dessin d'une structure, en lui communiquant les paramètres physiques et géométriques des niveaux de métallisations. Il nous donne les résultats sous forme de paramètres S. De ceux-ci, nous extrayons les paramètres caractéristiques de la structure. Nous simulons une ligne alucap-métal 1/métal 2 (Ap- M1/M2) de 100 μm de long (pour diminuer le temps de simulation) et de $w=9,2 \mu\text{m}$ de large en technologie CMOS 45 nm.



(a)



(b)



(c)

Figure 10 : Comparaison entre les mesures et les simulations sous ADS (outil multilayer), Momentum et avec notre modèle, de la constante d'atténuation (a), de la constante de propagation (c) et de l'impédance caractéristique (b) d'une ligne Ap-M1/M2 de largeur de $w = 9,2 \mu\text{m}$ en technologie CMOS 45nm.

Les comparaisons entre les simulations et les mesures montrent que notre modèle analytique présente des résultats comparables aux simulateurs commerciaux. Il peut donc être utilisé par les concepteurs de circuits fonctionnant aux fréquences millimétriques. Momentum ne sert que pour faire des modèle tentative et n'est pas facile d'utilisation pour la conception. ADS n'est pas compatible avec Virtuoso (outils de dessin technique de circuits de Cadence) pour le dessin du circuit et donc les vérifications du dessin faites avec Calibre pour respecter les règles du Design Kit ne sont pas utilisables.

Dans la suite de cette partie nous nous intéressons aux structures passives localisées telles que les capacités (métal-oxyde-métal : MOM) et les plots hyperfréquences, utilisés dans les amplificateurs de puissance fonctionnant aux fréquences millimétriques.

2-2-La modélisation des éléments passifs localisés et utilisés dans la conception des circuits

2-2-1 Les capacités multi doigts 3D Métal Oxyde Métal (MOM)

Une modélisation précise de tous les composants d'un circuit est nécessaire pour concevoir des applications fonctionnant aux fréquences millimétriques. Les capacités

intégrées sont des éléments essentiels de ces circuits. Ils doivent avoir une densité de capacité élevée, un facteur de qualité (Q) élevé et des éléments en série parasites de faible valeur. Aujourd'hui, trois grands types de capacités intégrées sont utilisés aux radiofréquences: la capacité métal-oxyde-métal (MOM), la capacité métal-isolant-métal (MIM) et la capacité 3D en tranchée (trench). Les capacités MOM n'ont pas besoin d'une étape de fabrication supplémentaire, contrairement aux MIM [25-26] et aux capacités en tranchée, où des modifications d'une étape de fabrication sont nécessaires [28]. En outre, les performances de ces trois types de capacités sont bien connues aux basses fréquences [24-28], mais n'ont jamais été montrées aux fréquences millimétriques. Nous travaillons donc avec les capacités MOM.

Les capacités MOM peuvent facilement être utilisées dans les circuits utilisés pour des applications millimétriques en tant que capacités de découplage série (ou de liaison) et parallèle et participent à l'adaptation d'impédances. Les capacités MOM de découplage parallèles doivent avoir de faibles pertes parallèles. Celles de découplages série doivent avoir des éléments parasites séries de faible valeur, ce qui implique un facteur de qualité élevé.

Les doigts métalliques qui composent les capacités MOM sont conçus pour maximiser la densité de capacité. Les métaux 5, 6 et 7 sont utilisés pour concevoir les capacités de 200fF. La grande taille des doigts des métaux 6 et 7 permettent une faible résistivité du dispositif. La disposition des doigts de métal 5 est adaptée à la connexion avec les métaux plus élevés. Les capacités MOM conçues sont intégrées dans les niveaux d'interconnexion des technologies CMOS 65 nm, 45 nm et 32 nm de STMicroelectronics et sont constituées de couches métalliques et isolantes. Une capacité MOM de 200 fF en métal5-métal7 est présentée sur la Figure 11.

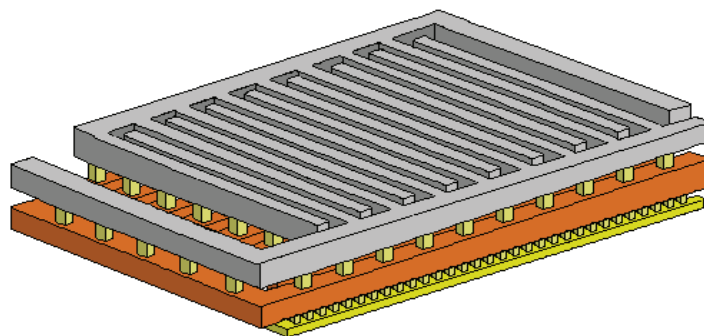


Figure 11 : Exemple d'une capacité MOM de 200 fF intégrée entre le métal 5 (jaune) au métal 7 (gris)

a) Modèle RLC en Π des capacités MOM

Un schéma électrique équivalent complet couramment utilisé pour les capacités intégrées est présenté dans l'article [27]. Dans notre cas, les capacités MOM sont représentées par un modèle électrique équivalent simple (Figure 12), dans lequel les pertes dans le substrat sont supprimées du fait du couplage capacitif très faible avec celui-ci.

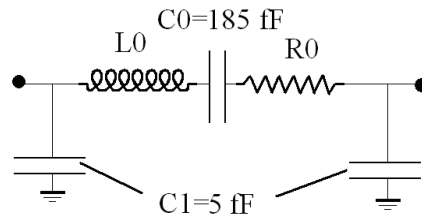


Figure 12 : Modèle de capacité MOM en technologie 65 nm intégrant la partie inductive

Ce modèle comprend les éléments série R_0 , L_0 et C_0 modélisant respectivement les pertes résistives et diélectriques, la partie inductive des électrodes et la capacité intrinsèque de cet élément passif. Deux capacités parallèles C_1 sont ajoutées en parallèle au schéma pour modéliser le couplage capacitif.

Les capacités MOM ont été modélisées à l'aide de l'outil d'extraction de résistances et de capacités PLS. La valeur des capacités extraites est ensuite validée avec Quickcap, un des outils d'extraction de capacité. L'inductance L_0 est extraite à partir des mesures.

b) Mesure et extraction des paramètres

Nous avons caractérisé les capacités MOM avec le banc de mesure présenté dans l'Annexe 1. Ensuite, pour tenir compte des accès aux capacités, nous avons utilisé la méthode de correction short-open modifiée et présentée dans l'article [21]. Cette méthode implique la mesure de deux motifs : un motif circuit ouvert (open) et un motif court circuit (short). Ceci permet de définir la matrice qui correspond à la différence entre les deux motifs. Cet élément correspond à l'erreur non prise en compte par une correction circuit ouvert simple. Cette méthode de correction convient particulièrement à l'extraction de paramètres Y ou S

d'éléments actif tels que le transistor MOS ou d'éléments passifs localisés tels que les capacités et les inductances.

L'extraction des capacités C_0 et C_1 , de la résistance R_0 et de l'inductance L_0 à partir des paramètres S corrigés, est donnée par les équations suivantes :

$$C_1 = \frac{\text{imag}(Y_{11}) + \text{imag}(Y_{12})}{\omega} \quad [\text{F}] \quad (20)$$

$$L_0 = \frac{1}{C_0 \cdot \omega_0^2} \quad [\text{H}] \quad (21)$$

$$R_0 = -\text{real}\left(\frac{1}{Y_{12}}\right) \quad [\Omega] \quad (22)$$

$$C_0 = \frac{2 \cdot \text{imag}(Y_{12})}{1 \pm \sqrt{1 - 4 \cdot \text{imag}(Y_{12})^2 \cdot R_0^2}} \cdot \left(\frac{\omega^2}{\omega_0^2} - 1\right) \cdot \frac{1}{\omega} \quad [\text{F}] \quad (23)$$

avec ω_0 la pulsation à la résonance de la partie série de la capacité (R_0 , C_0 et L_0).

c) Comparaison du modèle et des mesures

Une comparaison entre la mesures et la simulation des paramètres Y_{21} des capacités MOM est présenté Figure 13. Les simulations sont faites sous Cadence en utilisant le simulateur Eldo. Nous montrons aussi sur la Figure 14 une mesure du facteur de qualité à 60 GHz de la capacité MOM de 200f F intégrée en technologie CMOS 32nm.

Le facteur de qualité mesurée d'une capacité MOM de 185 fF, présenté Figure 14, est de 6,8 à 60 GHz. Ce résultats est meilleur que ceux obtenus avec des capacités MIM en technologie CMOS, mais inférieures à ceux obtenues avec des capacités tranchées à basse fréquence. En effet, les capacités tranchées ne sont pas utilisable à très haute fréquence car elles résonnent à quelques GHz. Les résultats Figure 13 et 14 montrent une bonne concordance entre mesures et simulations: le modèle est donc validé autour de 60 GHz pour les différentes capacités MOM conçus dans les différentes technologies CMOS.

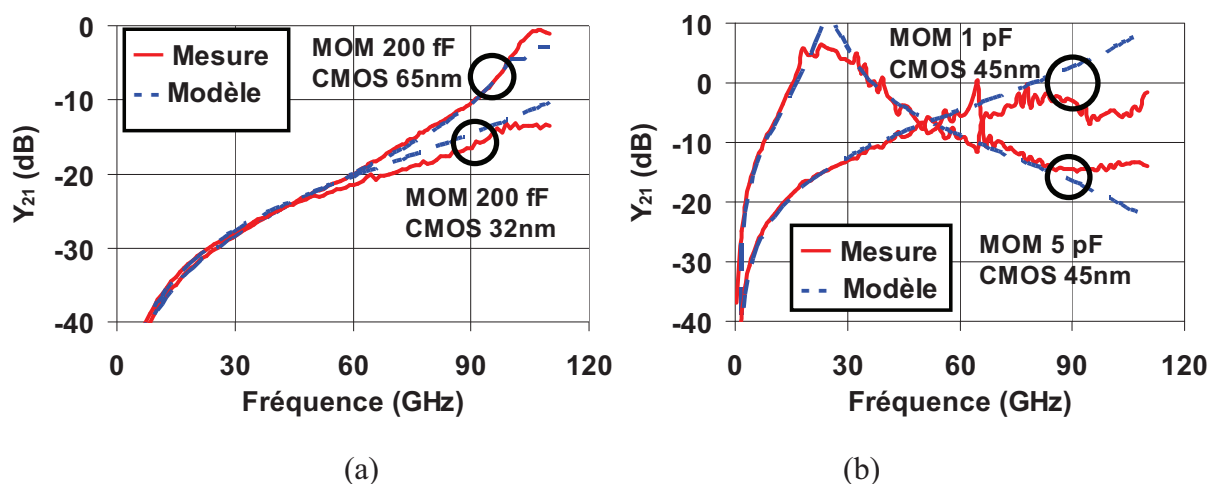


Figure 13 : Comparaison entre la mesure et la simulation des paramètres Y_{21} des capacités MOM de 200 fF en technologie CMOS 65nm et 32nm (a) et de 1 pF en technologie CMOS 45nm (b).

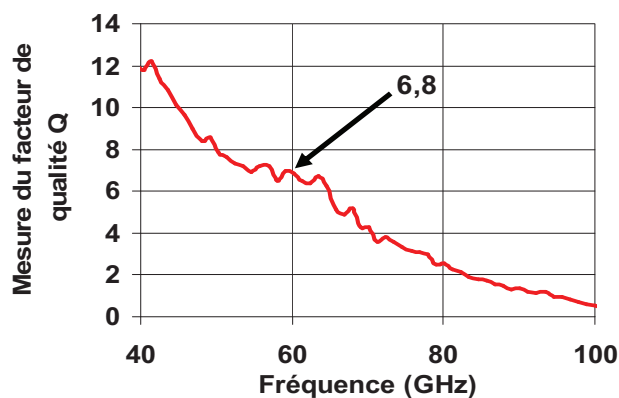


Figure 14 : Mesure du facteur de qualité à 60 GHz de la capacité MOM de 200 fF intégrée en technologie CMOS 32nm.

Les éléments localisés des capacités MOM de 200 fF sont présentés dans le Tableau 3.

| Technologie | Densité (fF/ μm^2) + niveaux de métaux | C_0 (pF) | C_1 (fF) | R_0 (Ω) | L_0 (pH) | Q à 60 GHz |
|-------------|--|---------------|---------------|-----------------------|---------------|------------------|
| CMOS 65nm | 0.9 M5/M7 | 0.185 | 5 | 0,3 | 5 | 6.8 |
| CMOS 45nm | 1.1 M5/M7 | 0.215 | 3,5 | 0,3 | 5 | 6.7 |
| CMOS 32nm | 1 M5/M7 | 0.185 | 5 | 0,3 | 5 | 6 |

Tableau 3 : Eléments localisés extraits des capacités MOM de 200 fF dans les différentes technologies

Nous voyons d'après le Tableau 3 que le facteur de qualité Q varie de 10 % seulement entre les technologies CMOS 65 nm et CMOS nm 32, ce qui correspond à la différence entre la taille des métaux des niveaux interconnexions de chaque technologie. Cela montre l'effet relativement faible de la technologie sur les performances des capacités MOM.

L'évolution des performances des capacités MOM intégrées en technologie CMOS 45nm suivant les niveaux utilisés est présentée dans le Tableau 4.

| Densité (fF/μm²) + niveaux de métaux | C₀ (pF) | C₁ (fF) | R₀ (Ω) | L₀ (pH) | f_{res.} (GHz) | Q à 60 GHz |
|---|-------------------------------|-------------------------------|------------------------------|-------------------------------|-------------------------------|-----------------------|
| 1 M5/M7 | 0.129 | 1,97 | 0,4 | 3 | 160 | 3.2 |
| 1.1 M5/M7 | 0.215 | 3,5 | 0,3 | 5 | 110 | 6.7 |
| 3.1 M5/M6 | 0.629 | 37 | 0,45 | 1 | 80 | 9.5 |
| 3.2 M1/M6 | 1,15 | 44 | 0,7 | 1,5 | 70 | 10.2 |
| 3.1 M1/M6 | 5,6 | 195 | 1 | 7,4 | 25 | × |

Tableau 4 : Eléments localisés et mesurés des différentes capacités MOM en technologie CMOS 45nm

On voit d'après le Tableau 4, que le facteur de qualité augmente avec la densité de capacité et le nombre de niveaux de métaux utilisés.

Nous avons présenté dans cette partie une structure novatrice de capacités MOM multi-doigts intégrées en technologie standard CMOS 65 nm, 45 nm et 32 nm de STMicroelectronics. Ces capacités MOM dédiés aux applications millimétriques présentent des densités de capacité élevées allant de 1 à 3,2 fF/μm² et des pertes inférieures à 1 dB à 60 GHz. En outre, ces structures sont plus robustes aux fortes tensions et leur facteur de qualité Q (de 3 à 10) est plus important que celui des capacités MIM. Ce travail a fait l'objet d'une publication dans la revue IEEE Microwave and Wireless Components Letter [29].

2-2-2 Les plots de mesure hyperfréquences

Les plots hyperfréquences sont les structures sur lesquelles les pointes de mesures sont posées lors de la caractérisation. Le signal RF est envoyé sur la partie centrale constituée de la superposition du métal 7 et de l'alucap. Pour des raisons de symétrie, la masse est disponible de part et d'autre du signal. Le substrat de silicium est connecté à la masse. Le plot dessiné sur la Figure 15 présente une zone centrale carrée de $50\text{ }\mu\text{m}$ de côté et des plans de masses situés à $25\text{ }\mu\text{m}$ de distance et rectangles de $100\text{ }\mu\text{m}$ de long pour $80\text{ }\mu\text{m}$ de large. Ces plots sont de mêmes dimensions qu'ils soient intégrés en technologies CMOS 65nm, 45nm ou 32nm.

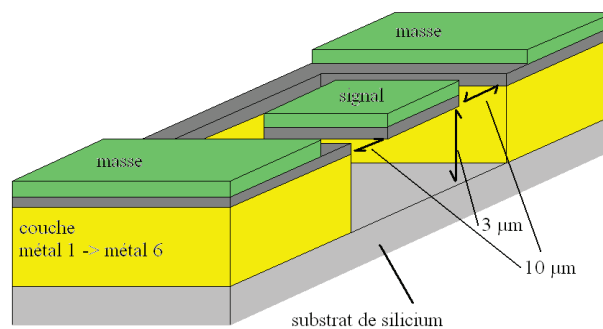


Figure 15 : Schéma d'un plot RF masse-signal-masse et son schéma électrique associé

Le modèle utilisé et les comparaisons entre les mesures et le modèle sont présentés dans l'Annexe 2.

Conclusion

Dans ce premier chapitre nous avons présenté et expliqué les performances et le comportement fréquentiel des structures passives mises en jeu dans nos circuits.

L'étude, la conception, et la modélisation des structures de propagation et des éléments passifs localisés constituent la première étape dans la conception de circuits fonctionnant aux fréquences millimétriques. Le développement de modèles fidèles aux comportements de ces éléments permet de concevoir des circuits en maîtrisant les pertes et les niveaux d'impédances ramenés par ces éléments. Les comparaisons entre les mesures et les simulations de ces structures présentent un bon accord.

Il existe cependant quelques limitations quant à l'utilisation des ces éléments passifs. Les performances des lignes microruban en terme de gamme d'impédance caractéristique et de constante d'atténuation ne permettent pas la réalisation de réseaux d'adaptation de très haute qualité ou présentant de faibles pertes. Un compromis entre une bonne adaptation et des pertes relativement faibles est donc à faire lors de la conception de circuits RF.

Ensuite, les valeurs de capacité des structures MOM présentées, sont limitées par leur résonance propre. Ceci devient problématique lorsqu'elles sont utilisées pour le découplage des signaux RF et DC ainsi que pour présenter une masse RF en un point, où une forte capacité est requise. Il est donc nécessaire d'en utiliser plusieurs en parallèle.

Références

- [1] S. Pruvost, “Etude de faisabilité de circuits pour systèmes de communication en bande millimétrique, en technologie BiCMOS SiGeC 0,13 μm ”, thèse de Doctorat, Université de Lille 1, No. D’ordre, Nov. 2005.
- [2] M. V. Schneider, “Microstrip Dispersion”, Proceeding of the IEEE, Letters, vol.60, pp.144-146, Jan. 1972.
- [3] Linh Nguyen Tran, D.Pasquet, E. Bourdel, S. Quintanel, “CAD-Oriented Model of a Coplanar Line on a Silicon Substrate Including Eddy-Current Effects and Skin Effect”, IEEE Trans. Microwave Theory and Tech., Vol.56, Issue 3, pp.663-670, Apr. 2008.
- [4] Ji Zheng, Yeon-Chang Hahm, V. K. Tripathi, A. Weisshaar, “CAD-oriented equivalent-circuit modeling of on-chip interconnects on lossy silicon substrate”, IEEE Trans. Microwave Theory and Tech., Vol.48, Issue 9, pp.1443-1451, Sept. 2000.
- [5] E. Hammerstad and Ø. Jensen, “Accurate Models for Microstrip Computer-Aided Design”, IEEE Trans. Microwave Theory and Tech., pp.407-409, June 1980.
- [6] S. Kordic, H. Banvillet, R.M. Gonella, “CMP of metals”, Material Research Society Symposium, San Francisco, CA, USA, Apr. 2000.
- [7] T. Park, T. Tugbawa, J. Yoon, D. Boning, J. Chung, R. Muralidhar, S. Hymes, Y. Gotkis, S. Alamgir, R. Walesa, L. Shumway, G. Wu, F. Zhang, R. Kistler ; “Pattern and Process dependencies in copper damascene chemical mechanical polishing processes”, VLSI Multilevel Interconnect Conference, Santa Clara, CA, USA, June 1998, pp.437–442.

- [8] A.B. Kahng, G. Robins, A. Singh, A. Zelikovsky, “Filling algorithms and analyses for layout density control”, IEEE Trans. Computer-Aided Design, vol.18, Issue 4, pp.445-462, Apr. 1999.
- [9] L. F. Tiemeijer, R.M. T. Pijper, R. J. Havens, and O. Hubert, “Low-loss patterned ground shield interconnect transmission lines in advanced IC processes”, IEEE Trans. Microwave Theory and Tech., vol.55, Issue 3, pp.561–570, Mar. 2007.
- [10] H. A. Wheeler, “Transmission-Line Properties of Parallel Strips Separated by a Dielectric Sheet”, IEEE Trans. Microwave Theory and Tech., vol.13, Issue 2, pp.172-185, Mar. 1965.
- [11] M. V. Schneider, “Microstrip Lines for Microwave Integrated Circuits”, The Bell System Technical Journal, vol.48, pp.1421-1444, May 1969.
- [12] F. Schnieder, W. Heinrich, “Model of Thin-Film Microstrip Line for Circuit Design”, IEEE Trans. Microwave Theory and Tech., vol.49, Issue 1, pp.104-110, Jan. 2001.
- [13] K.Sri Rama Krishna, J.Lakshmi Narayana, L.Pratap Reddy, “ANN Models for Microstrip Line Synthesis and Analysis”, International Journal of Electrical Systems Science and Engineering, Vol. 1;3, pp. 196-200, 2008.
- [14] E. Semouchkina, W. Cao, M. Lanagan, R. Mittra, W. Yu, “Combining FDTD simulations with measurements of microstrip ring resonators for characterization of low- and high-K dielectrics at microwaves”, Microwave and Optical Technology Letters, Vol.29, Issue 1, pp.21–24, Apr. 2001.
- [15] C. Warns, W. Menzel, H Schumacher, „Transmission Lines and Passive Elements for Multilayer Coplanar Circuits on Silicon“, IEEE Trans. Microwave Theory and Tech., Vol. 46, Issue 5, pp. 616-622, May 1998.

- [16] H. Ishii, N. Sahri, T. Nagatsuma, K. Machida, K. Saito, S.Yagi, M.Yano, K. Kudo, and H. Kyuragi, “New fabrication process for low-loss millimeter-wave transmission lines on silicon,” *Jpn. J. Appl. Phys.*, vol. 39, pp. 1982–1986, 2000.
- [17] Safwat, Amr M. E. Hayden, Leonard, “Sensitivity Analysis of Calibration Standards for SOLT and LRRM”, 58th ARFTG Microwave Measurement Conference, San Diego, CA, USA, Nov. 2001, pp.1-10.
- [18] L. Hayden, “An enhanced Line-Reflect-Reflect-Match calibration”, 67th ARFTG Microwave Measurement Conference, San Francisco, CA, USA, June 2006, pp.143–149.
- [19] D. F. Williams and R. B. Marks, “LRM probe-tip calibrations using non ideal standards”, *IEEE Trans. Microwave Theory and Tech.*, vol.43, Issue 2, pp.466–469, Feb. 1995.
- [20] A. M. Mangan, S. P. Voinigescu, Ming-Ta Yang Tazlauanu, “De-Embedding Transmission Line Measurements for Accurate Modeling of IC Designs”, *IEEE Trans. on Electron Devices*, vol.53, Issue 2, pp.235- 241, Feb. 2006.
- [21] E. P. Vandamme, D. M. M.-P. Scheurs, G. van Dinther, “Improved Three-Step De-Embedding Method to Accurately Account for the Influence of Pad Parasitics in Silicon On-Wafer RF Test-Structures”, *IEEE Trans. On Electron Devices*, vol. 48, no. 4, April 2001, pp. 737-742.
- [22] T. Quémerais, L. Moquillon, J.-M. Fournier, P. Benech, N. Corrao, “TFMS Microstrip Line Modeling and Characterization up to 110 GHz on 45 nm Node Silicon Technology: Application for CAD”, *IEEE SiRF 2010*, Jan. 2010, New Orleans, USA, pp. 4-7.

- [23] T. Quémerais, L. Moquillon, J.-M. Fournier, P. Benech, “65-, 45-, and 32-nm Aluminium and Copper Transmission-Line Model at Millimeter-Wave Frequencies”, IEEE Trans. Microwave Theory and Techniques, Vol. 58, No. 9, Sept. 2010.
- [24] J. N. Burghartz, et al., “Microwave Inductors and Capacitors in Standard Multilevel Interconnect Silicon Technology”, IEEE Trans. On Microwave Theory and Tech., vol.44, Issue 1, pp.100-104, Jan. 1996.
- [25] S. Queennie, et al., “Performance Comparison of MIM Capacitors and Metal Finger Capacitors for Analog and RF Applications”, IEEE RF and Microwave Conf., Subang, Malaysia, Oct. 2004, pp.85-89.
- [26] C. Zhen, et al., “A Study of MIMIM On-Chip Capacitor Using Cu/SiO₂ Interconnect Technology”, IEEE Micr. and Wir. Comp. Lett, vol. 12, no. 7, pp. 246-248, July 2002.
- [27] K. Subramaniaml, et al., “Design and Modeling of Metal Finger Capacitors for RF Applications”, IEEE APACE 2005, Johor Bahru, Malaysia, Dec. 2005, pp.293-296.
- [28] K. Büyüktas, et al., “Simulation and Modelling of a High Performance Trench Capacitor for RF Applications”, Semiconductor science and technology, vol. 24, no.7, 2009.
- [29] T. Quémerais, L. Moquillon, J.-M. Fournier, P. Benech, S. Pruvost, “Sub-Nanometer CMOS Multi-Finger Metal-Oxide-Metal Capacitor for Millimeter Wave Applications”, Microwave and Optical Technologies Letter, (en relecture).

Chapitre 2

Les transistors MOS des technologies CMOS avancées

Introduction

Dans le contexte de l'étude de la fiabilité des amplificateurs de puissance conçus en technologies CMOS avancées, nous abordons le comportement des transistors MOS issus de ces technologies ainsi que les principaux phénomènes de dégradation impactant ces dispositifs au cours du temps.

Dans le premier chapitre nous avons présenté les structures passives utilisées aux fréquences millimétriques. Ce deuxième chapitre traite de l'élément actif des technologies CMOS 65 nm, 45 nm et 32 nm : le transistor à effet de champ métal - oxyde - semi-conducteur (MOS). La combinaison entre les performances des structures actives et des structures passives permet de comprendre notre méthode de conception d'amplificateurs radiofréquences présentée dans le Chapitre 3.

Nous présentons le modèle PSP, le modèle intrinsèque du transistor MOS, utilisé pour la réalisation de nos circuits. Ensuite, nous montrons l'impact des accès au transistor sur le modèle et la conception du circuit. En effet, nous nous assurons de la robustesse aux forts courants des accès métalliques au transistor MOS. Ceci implique l'élargissement de ses accès métalliques et par conséquent nous oblige à soigneusement modéliser les éléments parasites de ces accès. Dans une troisième partie, les principaux phénomènes de dégradation impactant les transistors MOS au cours du temps sont considérés. Le modèle de vieillissement quasi-statique par porteurs chauds existant est alors présenté. La dégradation des transistors MOS soumis à des stress statiques (DC) a largement été présentée dans la littérature comme nous le verrons plus loin. Cependant pour une utilisation de ces modèles dans des applications dynamiques RF, il est d'une importance cruciale de comprendre comment appliquer ces modèles DC à des conditions RF. La littérature montre que les études de la dégradation des transistors MOS soumis à un stress RF n'ont été faites que jusqu'à des fréquences de l'ordre de quelques GHz [1] mais pas aux fréquences millimétriques. L'une des principales raisons est qu'il n'est pas simple de réaliser des expériences précises de fiabilité dans ce domaine de fréquences et sous pointes, afin d'éviter les dispersions des accès (fils ou rubans de connexion) entre la puce et la platine de test.

1 Le transistor MOS pour les applications millimétriques

1-1 Présentation du transistor MOS

Nous représentons sur la Figure 1 un schéma de principe en perspective d'un transistor NMOS. Le courant drain-source I_{ds} traversant le canal entre le drain et la source est modulé d'une part par le champ électrique vertical appliqué sur la grille par l'intermédiaire de la tension grille-source V_{gs} et qui gère la densité de charge dans le canal. Ce courant est modulé d'autre part par le champ horizontal appliqué entre le drain et la source par l'intermédiaire de la tension drain-source V_{ds} et qui gère la vitesse des porteurs principalement dans la zone linéaire.

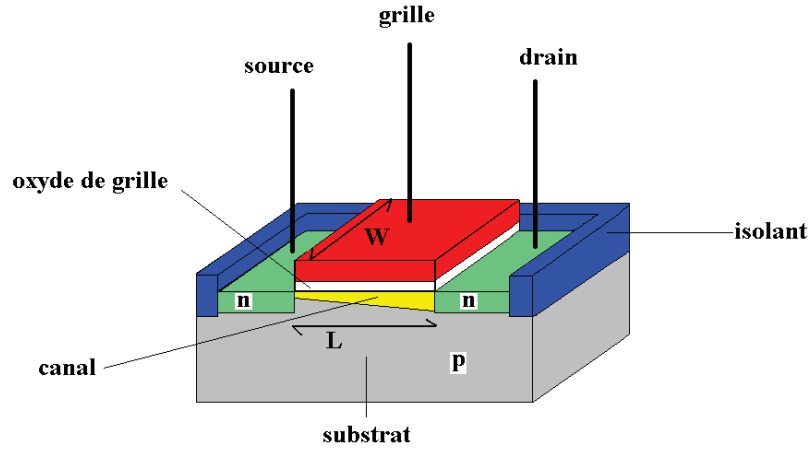


Figure 1: Schéma de principe en perspective d'un transistor NMOS

Le courant de drain I_{ds} est une fonction des paramètres physiques et géométriques du transistor ainsi que de des tensions V_{gs} et V_{ds} qui lui sont appliquées. En première approximation nous pouvons exprimer ce courant dans la zone linéaire (V_{ds} faible) par la relation :

$$I_{ds} = \mu \cdot \frac{\epsilon_{ox}}{t_{ox}} \cdot \frac{W}{L} \cdot (V_{gs} - V_{th}) \cdot V_{ds} \quad [A] \quad (1)$$

puis dans la zone de saturation ($V_{ds} > V_{gs} - V_{th}$) :

$$I_{ds} = \mu \cdot \frac{\epsilon_{ox}}{t_{ox}} \cdot \frac{W}{L} \cdot \left((V_{gs} - V_{th}) \cdot V_{ds} - \frac{V_{ds}^2}{2} \right) \quad [A] \quad (2)$$

où μ est la mobilité des électrons, ϵ_{ox} la permittivité de l'oxyde de grille, t_{ox} son épaisseur, V_{gs} et V_{ds} les tensions grille-source et drain-source et V_{th} la tension de seuil à partir de laquelle le transistor MOS est en régime d'inversion forte.

Pour résumer, nous représentons sur la Figure 2 le courant de drain en fonction de la tension V_{ds} pour deux tensions V_{gs} différentes.

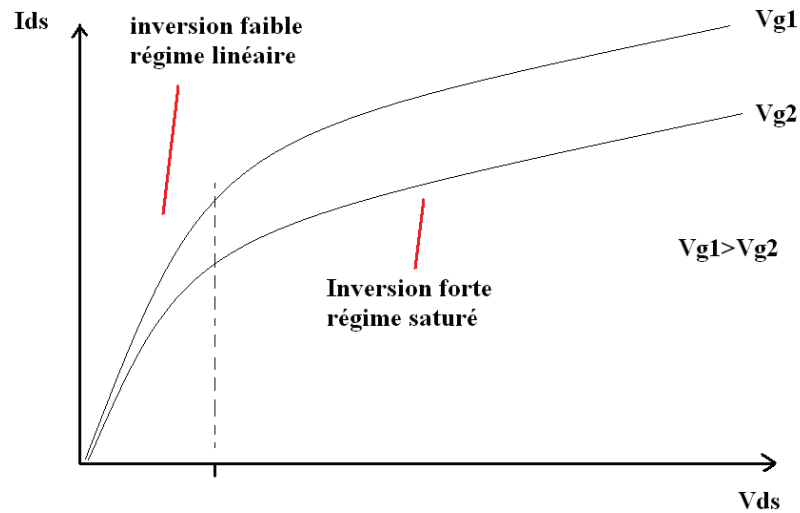


Figure 2 : Représentation du courant I_{ds} en fonction de V_{ds} pour deux tensions V_{gs} et des zones de fonctionnement équivalentes du transistor MOS.

Ces deux expressions du courant permettent de comprendre, suivant l'état de polarisation du transistor, quels seront les principaux facteurs agissant sur son amplitude. Cependant ces expressions du courant sont très approximatives et ne décrivent pas tous les phénomènes dans les transistors submicroniques issus des technologies CMOS avancées. En effet pour les transistors de très petite taille (canaux submicroniques) il existe des phénomènes physique complexes dit de canaux courts tels que la modulation de la mobilité par le champ vertical, la saturation de la vitesse des porteurs, modulation du canal, effet DIBL-Drain Induce Barrier Lowering Ils sont à prendre en compte afin d'affiner la modélisation du dispositif.

Ainsi des modèles intrinsèques des transistors MOS ont été développés, contenant un très grand nombre de paramètres et sont optimisés grâce à des mesures statiques et dynamiques des transistors seuls. Il existe actuellement deux principaux modèles décrivant le

fonctionnement d'un tel dispositif, en fonction des ses paramètres physiques et géométriques et des tensions appliquées à ses accès : le modèle PSP et le modèle BSIM4.

Le modèle BSIM4 [5] a été développé par le groupe de recherche BSIM au Département de génie électrique et sciences informatiques (EECS) à l'Université de Californie, Berkeley. Il est très proche en termes de performances du modèle PSP bien que les non linéarités des transistors ne soient pas parfaitement prises en compte. De plus le modèle BSIM4 comporte un très grand nombre de paramètres mathématiques de lissage qui occultent ses paramètres physiques.

1-2 Le modèle PSP intrinsèque

Le modèle PSP [2-4], qui est le modèle choisi par STMicroelectronics pour les technologies à partir de la CMOS 65nm, est un modèle compact de transistor MOS utilisé pour la conception numérique, analogique et RF, développé par NXP Semiconductors Research et l'Arizona State University. Les racines du modèle PSP se trouvent dans les deux modèles : le MOS Model 11 (développé par Philips) et le SP (développé par la l'université de Pennsylvanie). Le modèle PSP basé sur le modèle du potentiel de surface Si/SiO₂, contenant les principaux effets physiques connus comme : la réduction de la mobilité des porteurs, la saturation de la vitesse des porteurs, l'effet DIBL, le courant de grille, les effets de dopage latéraux, le stress STI, etc. Le modèle de jonction source-drain JUNCAP2, est aussi intégré dans le modèle PSP.

Ce modèle donne une description précise des courants, des charges, et leurs dérivées de premier ordre (transconductance, conductance et capacités), mais également des dérivés d'ordre supérieur. Ceci permet de modéliser de manière précise les effets de distorsion dus au comportement non linéaire du transistor MOS en fort signal. Ce dernier point est particulièrement important pour la conception de circuits analogiques et RF. Le modèle donne en outre une description précise du comportement en bruit des transistors MOS.

Pour la modélisation à haute fréquence et les simulations transitoires, les aspects non-quasi-statique du canal, sont intégrés dans le modèle PSP. Une solution numérique complète

de l'équation représentant ces effets est trop complexe. Par conséquent, une technique approchée est utilisée. Le canal est partitionné en $N + 1$ sections de même longueur. La densité surfacique de charge le long du canal est alors approchée par une fonction spline cubique à l'aide de ces N points, assurant qu'à la fois la charge et sa première et deuxième dérivée spatiales soient continues le long du canal.

Enfin, ce modèle donne de très bons résultats en ce qui concerne la prise en compte des non linéarités à haute fréquence.

1-3 Le modèle du transistor MOS pour les applications de puissance aux fréquences millimétriques

Après avoir étudié le modèle intrinsèque du transistor MOS, nous modélisons la partie extrinsèque, comprenant les accès entre les lignes de transmission et le transistor. Nous présentons dans ce paragraphe la méthode de modélisation que nous avons utilisée.

1-3-1 Les contraintes de dessin respectant les règles d'électromigration

Afin de faire des tests de fiabilité et pour autoriser des densités de courant importantes dans les accès métalliques au transistor MOS, nous avons inclus les contraintes de conception liées au phénomène d'électromigration. L'électromigration [14] est un phénomène lié à l'interaction entre le courant d'électrons dans une ligne métallique et les atomes de ce métal. Il provoque des dégâts progressifs dans les conducteurs métalliques en se caractérisant par un déplacement de matière. Il en résulte une cassure au niveau des lignes d'interconnexion métalliques des technologies CMOS. De plus, le phénomène est caractéristique des métaux utilisés à densité de courant très élevée et il est amplifié par une augmentation de la température. Nous avons donc dimensionné nos accès métalliques au transistor MOS de telle manière qu'un courant électrique élevé (statique et dynamique) puisse circuler sans les endommager, même à haute température (105°C et 125°C) où ces règles sont encore plus drastiques.

La première contrainte de design concerne les accès aux drains et aux sources de chacun des doigts du transistor MOS (Figure 3 et Figure 4). Ces accès sont composés de trois

couches métalliques empilées (M1/M2/M3) et ont une longueur $L_{\text{accès drain et grille}}$ ne pouvant dépasser $5\ \mu\text{m}$ (Figure 3). En effet lorsque cette dimension dépasse $5\ \mu\text{m}$, le courant maximal autorisé pouvant la traverser par les règles d'électromigration, diminue sensiblement. Ceci nous oblige donc à empiler encore une couche métallique sur ces accès ce qui augmente fortement les capacités extrinsèques grille-drain, drain-source et grille-source et qui détériore le gain d'un amplificateur. Nous pouvons donc faire passer un courant maximum de $0,4\ \text{mA}$ dans ces accès avec des règles d'électromigration à $125\ ^\circ\text{C}$ et de $0,8\ \text{mA}$ avec des règles d'électromigration à $105\ ^\circ\text{C}$.

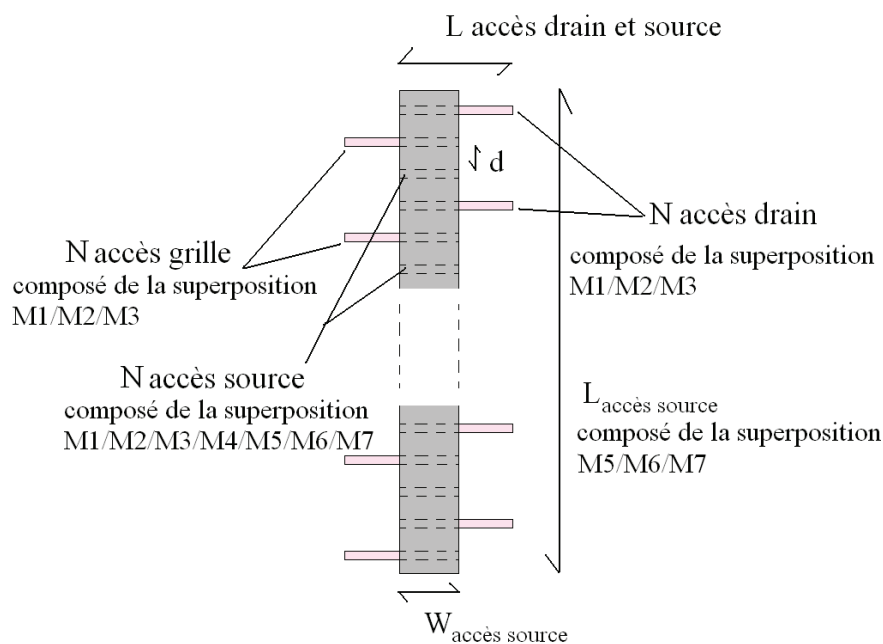


Figure 3 : Schéma vue de dessus des accès au transistor MOS

La seconde contrainte de design concerne les dimensions de la ligne d'accès connectant l'ensemble des sources de chaque doigt (Figure 3 et Figure 4). Cet accès est composé de trois couches métalliques empilées (M5/M6/M7) et doit avoir une longueur maximale de $L_{\text{accès source}} = 20\ \mu\text{m}$ (Figure 3) pour conserver des règles d'électromigration à 125°C . Lorsque sa longueur est comprise entre 20 et $50\ \mu\text{m}$, les règles d'électromigration sont satisfaites mais pour une température inférieure de 105°C .

En combinant les deux règles précédentes, nous pouvons calculer le nombre maximum de doigts d'un transistor MOS ainsi que son courant maximum de telle façon que les accès

respectent les règles d'électromigration à 125 °C. Dans la technologie CMOS 65 nm, la distance d entre un accès source et un accès drain est égal à 0,33 μm (Figure 3). Avec $L_{\text{accès source}} = 20 \mu\text{m}$, le nombre de doigts maximum pour respecter les règles d'électromigration à 125°C sur l'accès source est donc donné par la relation :

$$N_{\text{doigts max}} = \frac{L_{\text{accès source}}}{d} = \frac{20}{0,33} = 60 \quad (3)$$

De plus avec $L_{\text{accès grille et drain}} = 5 \mu\text{m}$ nous pouvons avoir $W_{\text{accès source}} = 2,4 \mu\text{m}$ ce qui entraine une largeur totale du transistor de $60 \times 2,4 \mu\text{m} = 144 \mu\text{m}$. Le courant pouvant passer dans chacun des doigts étant de 0,3 mA, nous obtenons $I_{\text{ds max}} = 24\text{mA}$.

Un dessin respectant les règles d'électromigration à 105 °C nous permet d'avoir des transistors plus large. Nous envisageons ceci pour les amplificateurs hautes performances (cf. Chapitre 3). Nous résumons ces règles de dessin dans le Tableau 1.

| Température correspondant aux règles d'électromigration | $L_{\text{accès source max}}$ (en μm) | $L_{\text{accès drain et grille max}}$ (en μm) | $N_{\text{doigts max}}$ | W_{max} (en μm) | $I_{\text{ds max}}$ (en mA) |
|---|---|--|-------------------------|--------------------------------------|-----------------------------|
| 125 °C | 20 | 5 | 60 | 144 | 24 |
| 105 °C | 60 | 5 | 125 | 288 | 200 |

Tableau 1 : Dimensions et performances maximales des transistors MOS en fonctions des règles d'électromigration

Le dessin du transistor MOS lors de son implémentation dans un amplificateur est une étape très importante [6-9]. Ainsi, pour relier les lignes microruban, en alucap/métal7, au transistor (accès en métal 1), de courtes lignes sont nécessaires (Figure 4) et leurs dimensions nous sont imposées par les règles d'électromigration (Tableau 1). Aux fréquences millimétriques, ces lignes doivent être parfaitement modélisées pour éviter une forte désadaptation des accès (entrée et sortie), une diminution du gain et de la puissance de sortie du transistor MOS. Pour optimiser les performances en puissance du transistor, nous avons décidé de le dessiner comme sur la Figure 4. Dans cette configuration, les accès grille et drain

sont dans l'axe des lignes de propagation du signal et présentent des résistances d'accès les plus faibles possibles. De plus la capacité grille drain extrinsèque est minimisée.

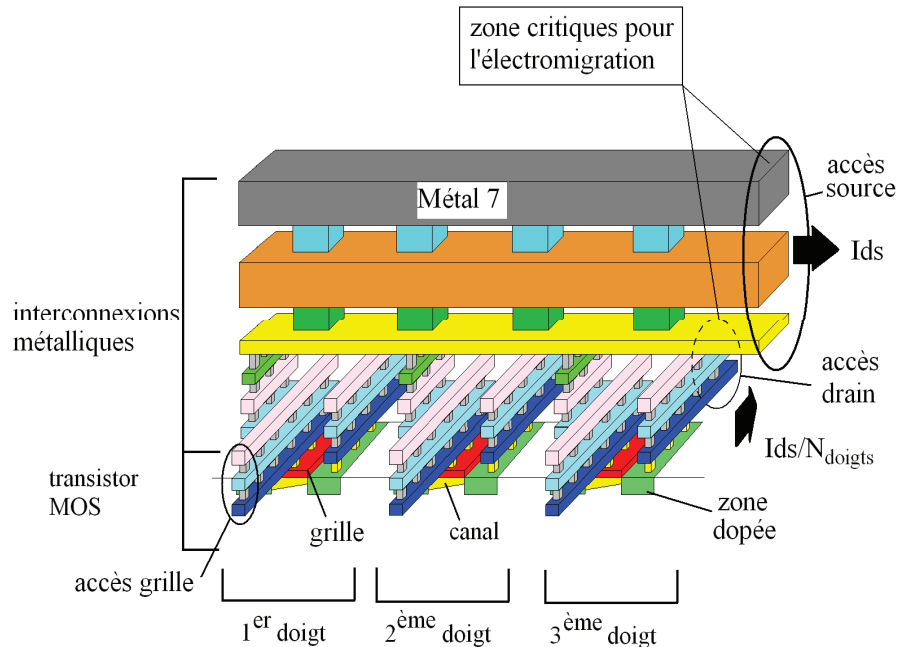


Figure 4 : Vue en coupe des connexions du transistor MOS dans son environnement

1-3-2 Le modèle complet du transistor MOS

Pour former un modèle complet de transistor MOS dédié aux applications millimétriques, nous ajoutons le modèle PSP intrinsèque et le modèle extrinsèque que nous avons développé et basé sur la topologie présentée précédemment. Ce modèle comprend les éléments parasites des accès, comme des résistances en série, les capacités de couplage entre les interconnexions et les capacités de substrat. Nous utilisons des transistors constitués de plusieurs doigts pour pouvoir augmenter le courant drain-source tout en diminuant les capacités grille-drain et source-drain. Nous avons donc distribué le modèle au niveau de sa source (Figure 5).

Néanmoins, comme les contraintes d'électromigration imposent des lignes métalliques de grande taille au niveau des accès, ceux-ci présentent de fortes capacités parasites et des inductances de valeur non négligeable. L'extraction de ces capacités parasites se fait en utilisant l'outil Quickcap et les résistances parasites de chaque accès sont extraites en utilisant

l'outil Post Layout Simulation PLS. La connexion au dessus du transistor, permettant les accès aux sources des différents doigts, est modélisée comme une série de petites lignes microruban M5/M6/M7 avec plan de masse M1/M2/M3 de longueur égale à la distance séparant chaque accès source.

Nous représentons sur la Figure 5 le modèle complet extrinsèque autour du transistor MOS représenté par son modèle PSP en technologies CMOS avancées.

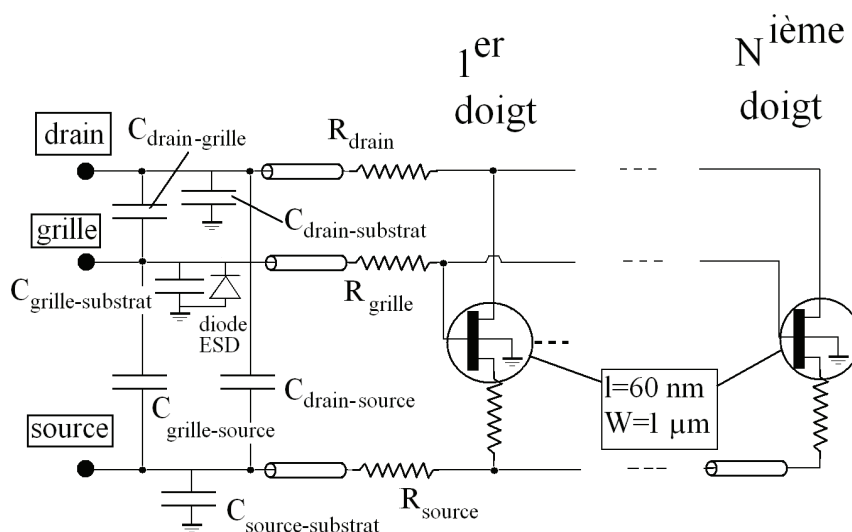


Figure 5 : Modèle complet du transistor MOS valable jusqu'aux fréquences millimétriques

Nous abordons dans le paragraphe suivant la comparaison entre ce modèle et les mesures afin de le valider tant en régime statique que dynamique.

1-4 Les transistors MOS dans les applications millimétriques

1-4-1 Paramètres critiques des transistors MOS pour les applications RF

Les paramètres critiques des transistors MOS pour les applications RF sont la fréquence de transition f_T , la fréquence maximum d'utilisation f_{max} et le facteur de bruit minimum NF_{min} . Les expressions de ces paramètres sont les suivantes :

$$f_t = \frac{gm}{2\pi \cdot C_{gs} \sqrt{1 + 2 \cdot \frac{C_{gd}}{C_{gs}}}} \quad [\text{Hz}] \quad (4)$$

$$f_{max} = \frac{gm}{4\pi.C_{gs}\sqrt{(R_g + R_s).\left(R_{ds} + gm.\frac{C_{gd}}{C_{gs}}\right)}} \text{ [Hz]} \quad (5)$$

$$NF_{min} = 1 + K.\frac{f}{f_t}\sqrt{gm.(R_g + R_s)} \quad (6)$$

où gm est la transconductance globale du transistor, C_{gs} et C_{gd} les capacités grille-source et grille-drain, R_{ds} la résistance dynamique drain-source, R_s et R_g les résistance de grille et de source et K la constance de Boltzmann.

Bien qu'il ne faille pas minimiser l'impact du facteur de bruit dans les amplificateurs de puissance RF, ce paramètre n'est pas pris en compte dans les travaux menés dans le cadre de cette thèse. De plus, la figure de bruit définie précédemment ne prend pas en compte le bruit en $1/f$. En effet, même dans le cadre des amplificateurs de puissance régissant de forts signaux, le repliement du bruit en $1/f$ est relativement faible au point de compression du gain, correspondant généralement à la puissance maximum du signal en sortie de l'amplificateur.

En ce qui concerne les fréquences f_T et f_{max} , celles-ci sont issues d'extrapolations à partir de mesures. La fréquence pour laquelle la valeur du gain en courant h_{21} est unitaire définit la fréquence de transition f_T . La fréquence maximale d'oscillation f_{max} est une extrapolation du gain unilatéral de Mason U lorsque celui-ci est unitaire.

1-4-2 Etat de l'art des différentes technologies de transistors

Dans ce paragraphe, nous comparons entre eux, dans le Tableau 2, différents transistors issus de technologie CMOS, BiCMOS ou AsGa via leurs paramètres définis dans le paragraphe précédent.

Nous voyons, dans le Tableau 2, que les performances en fréquence des transistors HEMT (AsGa) ou bipolaire sont nettement meilleures que celle des transistors MOS. Cependant les fréquences de transition et d'oscillation maximales supérieures à 100 GHz des transistors MOS issus des technologies CMOS avancées permettent de concevoir des circuits fonctionnant à 60 GHz, l'un des objectifs de notre étude.

| dispositif | f_t (GHz) | f_{max} (GHz) | NF_{min} (dB) à 60 GHz | $V_{dd\ max}$ | ref |
|---|-------------|-----------------|--------------------------|---------------|------------|
| p-HEMT $l_g=100\ nm$ | 305 | 340 | 1 à 60 GHz | 3 | [10] |
| HBT BiCMOS $W_c=130\mu m$ | 240 | 270 | 3,3 | 1,5 | [11] |
| MOS $l_g= 65nm$ | 120 | 180 | 2,7 | 1,2 | [11] |
| MOS $l_g= 45nm$ | 130 | 200 | 2,1 | 1,1 | [11] |
| MOS $l_g= 32nm$ | 150 | 220 | 2 (simulation) | 1,1 | Ce travail |

Tableau 2 : Etat de l'art des performances des transistors MOS et bipolaire

p-HEMT : Pseudomorphic High Electron Mobility Transistor

HBT: Heterojunction Bipolar Transistor

MOS: Metal Oxyde Semiconductor transistor

l_g : longueur de grille

W_c : largeur de la base

Dans la partie suivante nous comparons les performances mesurées et simulées de trois transistors MOS issus des technologies CMOS avancées 65 nm, 45 nm et 32 nm. Dans cette partie nous validons le modèle complet du transistor que nous avons développé.

2 Performances des transistors MOS en technologie CMOS 65nm, 45nm et 32 nm

Nous allons dans cette partie comparer les mesures et les simulations de transistors MOS issus des technologies CMOS 65nm, 45nm et 32nm. La simulation prend en compte le modèle complet que nous avons développé incluant un modèle PSP (partie intrinsèque) et la modélisation des accès (partie extrinsèque). Les mesures ont été effectuées à l'IMEP-LAHC (Grenoble) et à l'IEMN (Lille). Les transistors que nous allons considérer ont leurs dimensions résumées dans le tableau suivant :

| technologie | Longueur de grille | Largeur de grille | Nombre de doigts |
|-------------|--------------------|-------------------|------------------|
| CMOS 65nm | 60 nm | 180 μm | 100 |
| CMOS 45nm | 40 nm | 49 μm | 70 |
| CMOS 32nm | 30 nm | 32 μm | 32 |

Tableau 3 : Récapitulatif des dimensions des transistors utilisés pour développer les modèles

Il ne s'agit en aucun cas dans cette partie de comparer entre elles les performances des différents transistors. Ils ne présentent pas les mêmes dimensions ni les mêmes tensions d'alimentation. Nous voulons simplement valider les modèles des transistors à hautes fréquences que nous avons développés.

2-1 Mesure, correction et extraction des paramètres

Les différents transistors MOS ont été caractérisés en paramètres S à l'IMEP-LAHC à Grenoble. Concernant la mesure des paramètres S, nous avons utilisé une méthode de type LRRM [12] pour calibrer le VNA ME7808C Broadband Vector Network Analyser d'Anritsu. Le banc de test et la calibration du VNA sont décrits en Annexe 1

Ensuite, pour tenir compte des accès au dispositif dans la structure de test (Figure 6), nous avons utilisé la méthode de correction short-open modifiée [13]. Cette méthode implique la mesure de deux motifs : un motif circuit ouvert (open) et un motif court circuit (short). Elle permet de définir la matrice qui correspond à la différence entre les deux motifs. Cette matrice

correspondant à l'erreur qui n'est pas prise en compte par une correction circuit ouvert simple. Cette méthode de correction convient particulièrement à l'extraction de paramètres Y, Z ou S d'un transistor MOS.

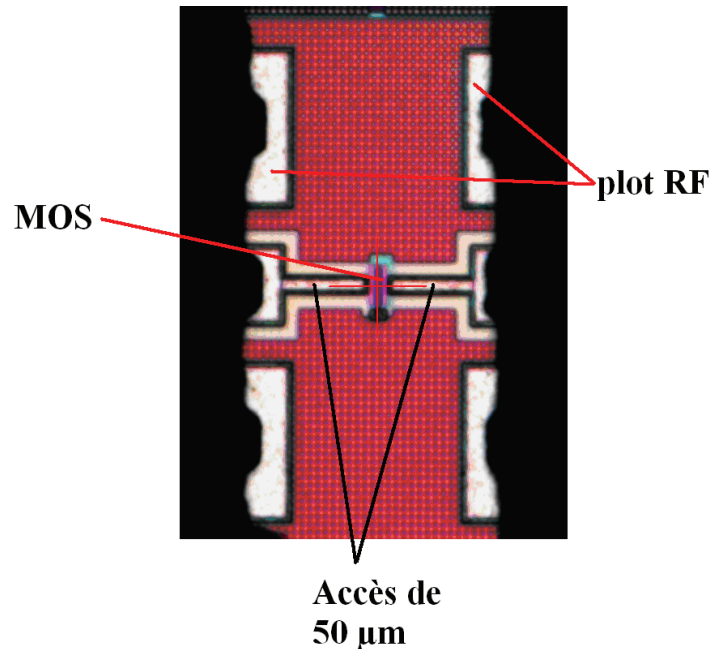


Figure 6 : Photo d'une structure de test d'un transistor MOS en technologie CMOS 65 nm

Nous pouvons maintenant comparer avec les simulations, les mesures des paramètres S, Y et Z corrigés.

2-2 Caractéristiques statiques

Dans ce paragraphe, nous vérifions que la simulation des caractéristiques statiques de notre transistor correspond à la mesure. Nous allons nous intéresser aux transistors MOS présentés dans le Tableau 3.

Les tensions et courant en sortie des amplificateurs de puissance que nous allons concevoir sont tels que le transistor fonctionne en zone linéaire et saturé. Nous allons donc regarder les courbe $I_{ds}(V_{ds})$ et $I_{ds}(V_{gs})$ des transistors dans ces deux zones. En zone linéaire, la pente de la courbe $I_{ds}(V_{ds})$ nous renseigne directement sur la valeur des résistances d'accès au drain et à la source car le courant dépend linéairement de la tension V_{gs} et de la tension V_{ds} .

En zone saturée, le courant est surtout dépendant de V_{gs} (donc de la résistance d'accès source) est moins sensible à la tension V_{ds} (donc à la résistance d'accès drain). La différence entre les courbes mesurées et simulées nous renseigne donc au premier ordre sur la qualité de prise en compte de ces résistances d'accès dans notre modèle extrinsèque.

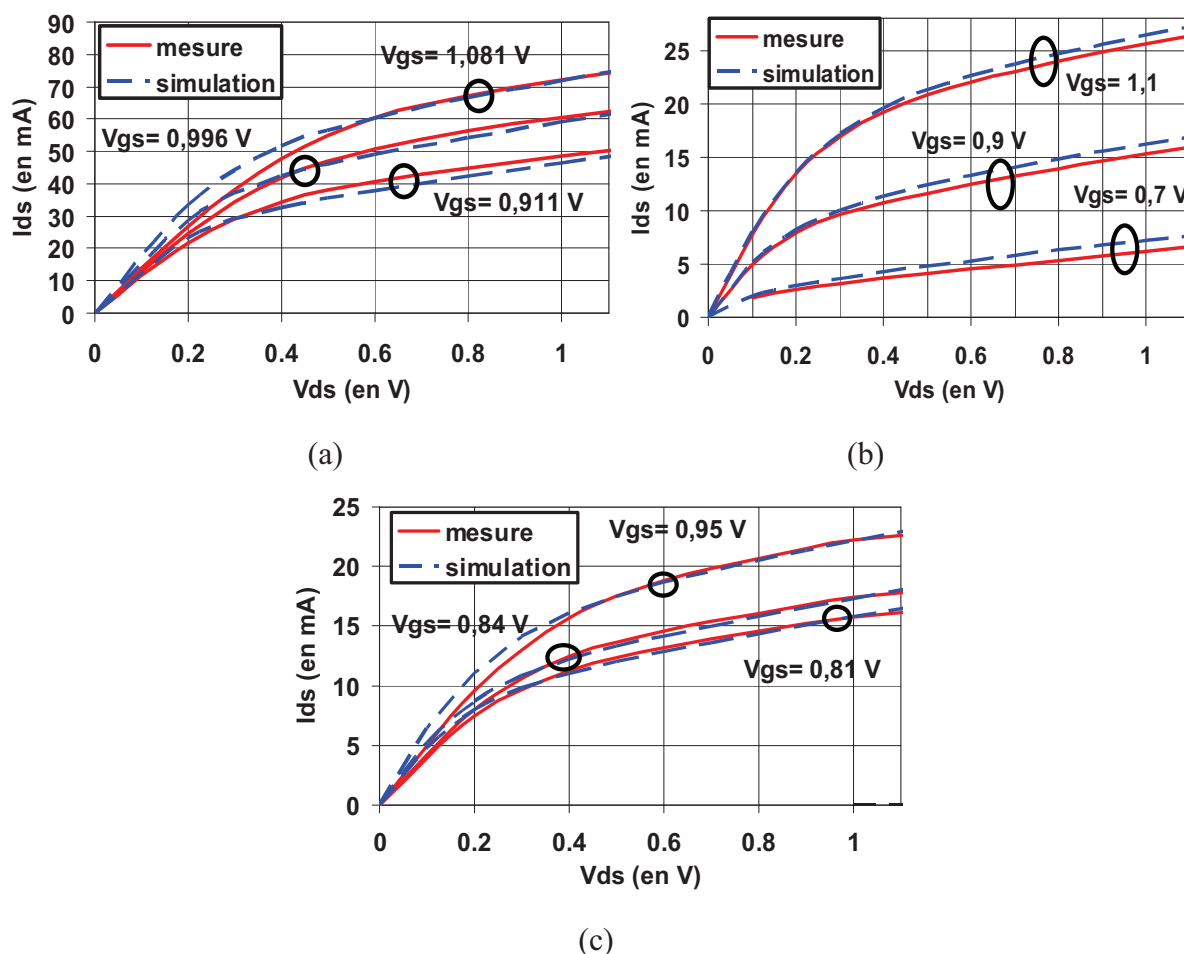


Figure 7 : Mesure et simulation des caractéristique statique $I_{ds}(V_{ds})$ pour différents V_{gs} des transistors MOS issu des technologies CMOS 65nm (a), CMOS 45nm (b) et CMOS 32nm (c).

La Figure 7 montre qu'il y a un assez bon accord entre la mesure et la simulation des courants de drain des transistors MOS en fonction des tensions de drain pour différentes tensions de grille. La différence entre les mesures et les simulations spécialement dans la zone linéaire et pour des forts courants (Figure 7 (a)) peut être attribuée à une estimation un peu faible de la résistance d'accès au drain.

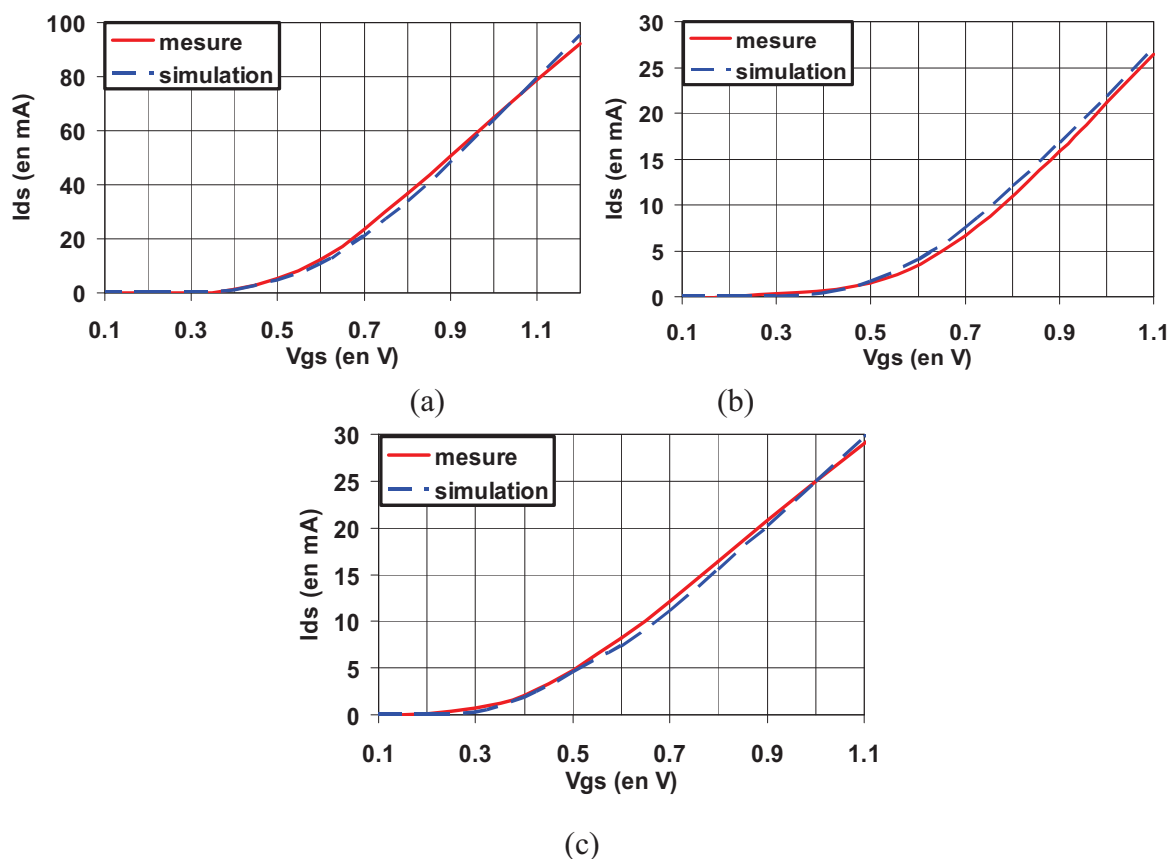


Figure 8 : Mesure et simulation des caractéristique statique $I_{ds}(V_{gs})$ pour $V_{ds}=1,2$ V des transistors MOS issu des technologies CMOS 65nm (a), $V_{ds}=1,1$ V CMOS 45nm (b) et CMOS 32nm (c).

La pente des courbes $I_{ds}(V_{gs})$ à fort V_{ds} nous renseigne directement sur la valeur de la transconductance g_m en zone saturée. Les résultats Figure 8 font apparaître un bon accord entre les mesures et les simulations, montrant une bonne prise en compte de la valeur de la résistance d'accès à la source et de la transconductance.

Après ces comparaisons, nous pouvons conclure que la simulation du modèle intrinsèque et extrinsèque correspond assez bien avec la mesure en régime statique: nous pouvons donc travailler avec ce modèle en basses fréquences et apprécier le comportement des transistors à hautes fréquences en mesurant les fréquences f_T et f_{max} .

2-3 Caractéristiques dynamiques petits signaux aux fréquences millimétriques

Toutes les études dans ce paragraphe sont faites avec des tensions grille-source V_{gs} de 0,9V et drain-source de V_{ds} de 1,2 V en CMOS 65 nm et 1,1 V en CMOS 45 nm et 32 nm. Les courants de polarisations des transistors MOS sont respectivement de 17 mA, 20 mA et 70 mA.

La Figure 9 montre les résultats de mesure des fréquences f_T et f_{max} pour les trois transistors étudiés préalablement en statique. Pour le transistor MOS en technologie CMOS 65nm, $f_{max}=180$ GHz et $f_T=110$ GHz, en CMOS 45nm, $f_{max}=200$ GHz et $f_T=130$ GHz et en CMOS 32nm $f_{max}=220$ GHz et $f_T=160$ GHz.

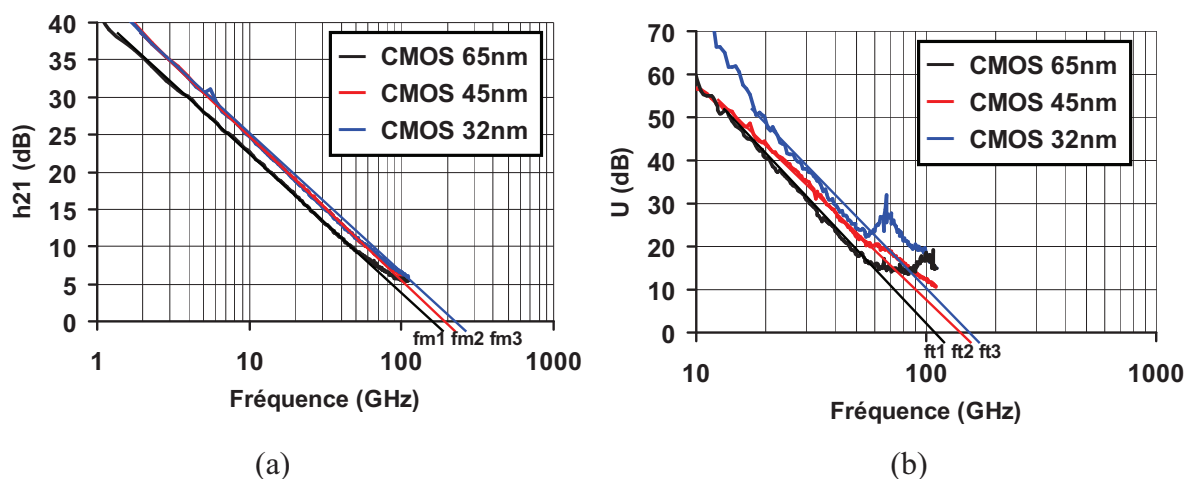


Figure 9 : Mesure des fréquences maximales d'oscillation f_{max} (a) par extrapolation des paramètres h_{21} .
Mesure des fréquences de transitions f_T (b) par extrapolation des gains de Mason U .

Regardons maintenant les paramètres S des trois transistors MOS présentés dans le Tableau 3. Ils nous renseignent sur leurs gains et leurs niveaux d'adaptation en entrée/sortie.

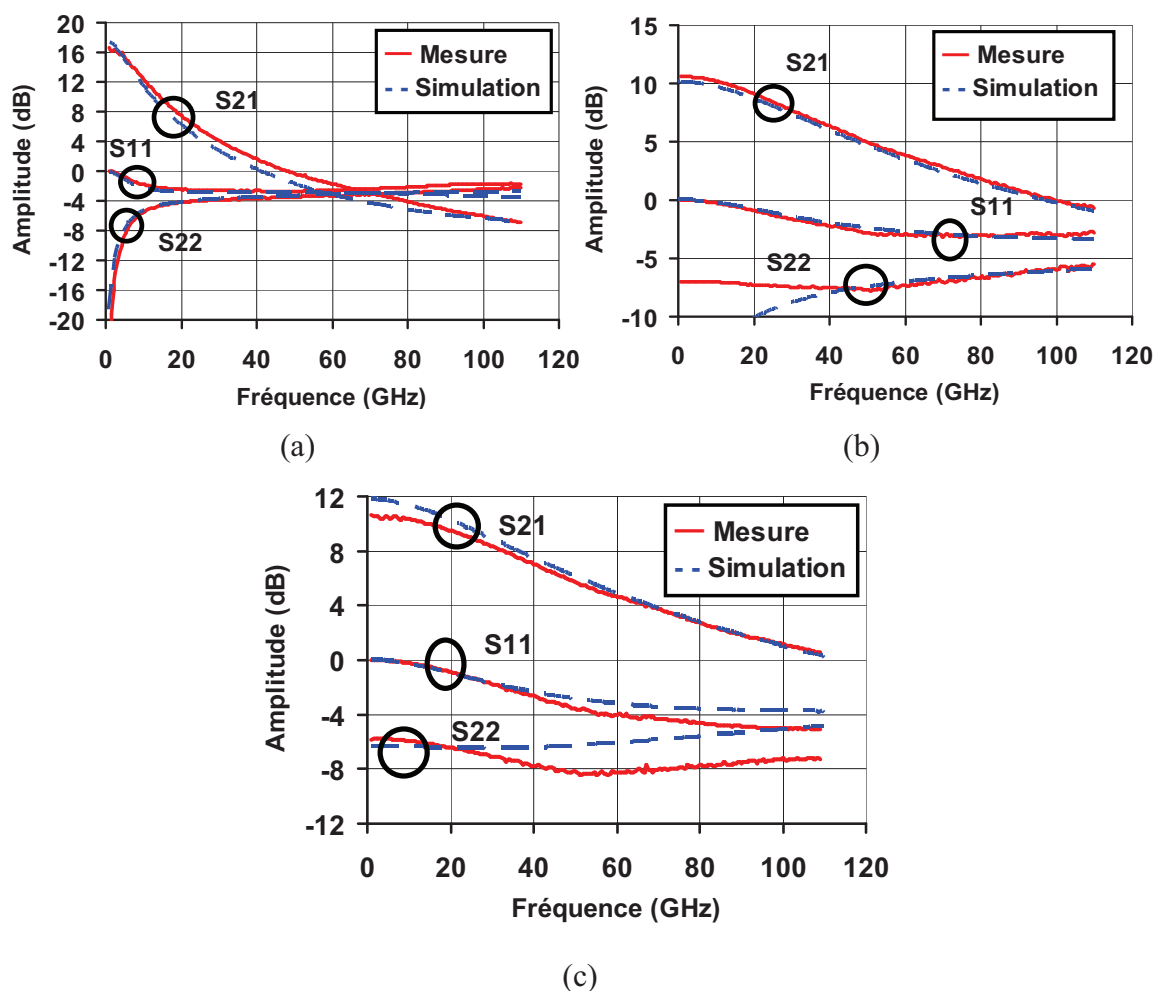


Figure 10 : Comparaison mesure simulation des paramètres S des transistors MOS issu des technologies CMOS 65nm (a), CMOS 45nm (b) et CMOS 32nm (c) polarisés avec un V_{gs} de 0,9V.

Les comparaisons entre les mesures et les simulations sur la Figure 10 montrent un relativement bon accord. Cependant, les paramètres S_{11} et S_{22} en décibel ne permettent pas de donner les valeurs des impédances d'entrée et de sortie des transistors MOS. Une bonne modélisation des parties réelles et imaginaires des impédances d'entrée et de sortie est importante pour la conception d'amplificateurs de puissance.

Pour valider entièrement notre modèle, il aurait été intéressant de comparer les comportements mesurés et simulés des parties réelles et imaginaires des paramètres Y et Z . Cependant, à très hautes fréquence, autant les paramètres S sont relativement peu sensibles aux erreurs de correction incompressibles introduites lors des corrections des mesures, autant

les paramètres d'impédances et d'admittance, en particulier les paramètres de transfert, Y_{12} , Y_{21} , Z_{12} et Z_{21} , calculés à partir des paramètres S, sont très sensibles à ces erreurs.

La Figure 11 montre donc simplement les parties réelles et imaginaires des impédances d'entrée et de sortie mesurées et simulées du transistor réalisé en technologies 65nm et qui sera utilisé ensuite dans les amplificateurs de puissance que nous avons réalisés.

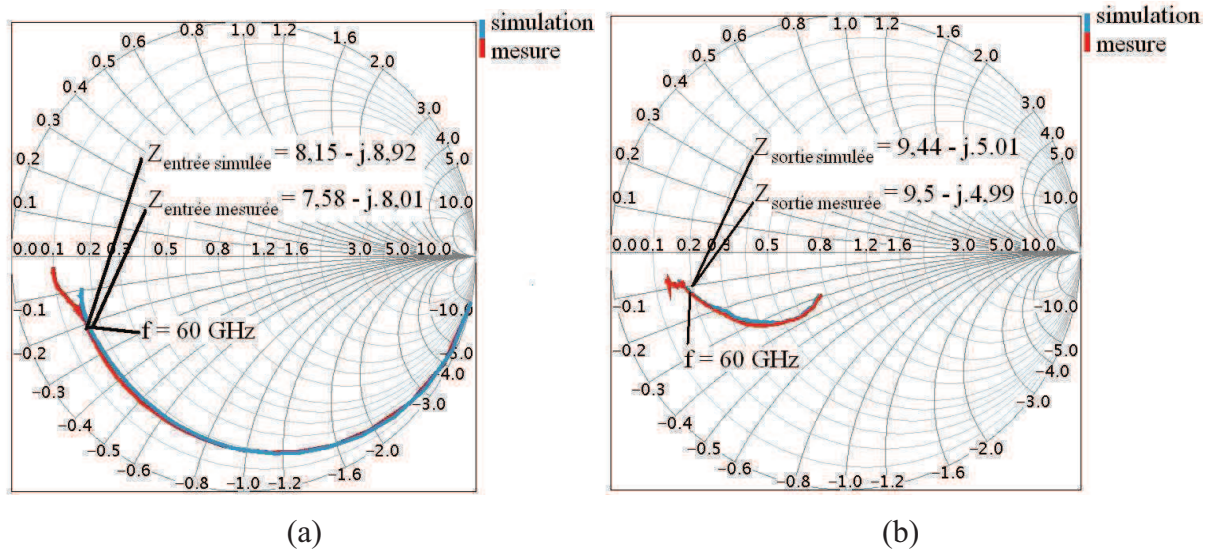


Figure 11 : Comparaison entre les mesures et les simulations des parties réelles et imaginaires des impédances d'entrée (a) et de sortie (b) du transistor MOS en CMOS 65 nm polarisé avec $V_{gs}=0,9V$, $V_{dd}=1,2V$.

Nous observons sur les Figure 11 (a) et (b), un écart relativement faible entre les mesures et les simulations. Notre modélisation prend donc bien en compte les capacités d'entrée et de sortie du transistor MOS. Ceci est extrêmement important quand nous voulons déterminer l'impédance optimum de sortie lors de la conception des amplificateurs de puissance. En effet, la capacité grille-drain effective agit par effet Miller sur l'impédance d'entrée du transistor MOS (voir le chapitre suivant).

2-4 Caractéristiques en bruit du transistor MOS

Nous allons maintenant regarder le facteur de bruit NF du transistor MOS issu de la technologie CMOS 45nm. Nous avons mesuré le bruit spécialement sur ce transistor car il est dimensionné pour être utilisé dans des amplificateurs à faible bruit. Nous comparons sur la

Figure 12 la mesure et la simulation du facteur de bruit du transistor sur la bande 75 GHz – 110 GHz. La mesure de cette caractéristique est faite sur la bande de fréquence 76 GHz-110 GHz. C’est une mesure effectuée à l’IEMN (Lille), dont le principe est décrit dans la thèse de S. Pruvost [1]. Pour ce faire, après avoir ramené les plans de mesure au niveau des sondes de mesure hyperfréquences, il faut extraire du facteur de bruit global mesuré les éléments d’accès présentant des pertes ohmiques (ajout de bruit) comme les sondes hyperfréquences ou les lignes d’accès.

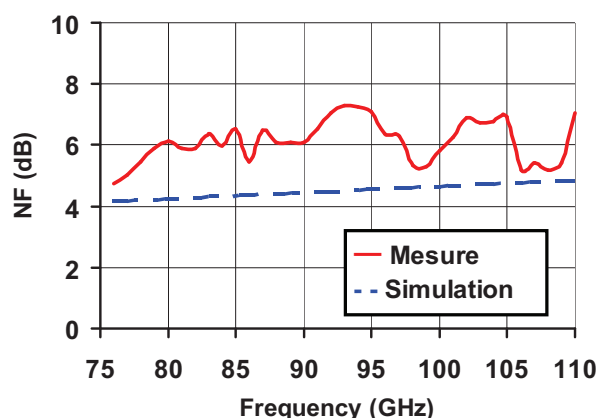


Figure 12 : Comparaison entre la mesure et la simulation du facteur de bruit NF du transistor MOS issu de la technologie CMOS 45nm

Nous voyons sur la Figure 12 que la différence entre le modèle et la simulation d’environ 1,5 dB est relativement important mais reste acceptable pour des applications de puissance où le facteur de bruit n’est pas le paramètre le plus important. C’est la raison pour laquelle nous ne regardons pas les autres paramètres de bruit tels que NF_{min} , Γ_{opt} et R_n primordiaux lors de la conception d’amplificateurs à faible bruit. Nous ne présentons pas les résultats de mesure non linéaire (load-pull) à 60 GHz des différents transistors MOS, car elles n’ont pas donné de résultats satisfaisants et seront reconduites ultérieurement.

La suite de ce chapitre sur les transistors MOS porte sur l’étude de leurs phénomènes de dégradation au cours du temps. Ainsi nous faisons un tour complet du comportement statique, dynamique et au cours du temps, des transistors à effet de champ utilisés dans les technologies CMOS avancées.

3 La modélisation du vieillissement des transistors MOS

Un des aspects clef de l'étude de la fiabilité d'un circuit réalisé en technologie CMOS est d'avoir une bonne compréhension de la physique des mécanismes de dégradation des transistors MOS. Plusieurs mécanismes de dégradation peuvent affecter les performances de ces dispositifs. Dans cette partie, nous présenterons les trois principaux modes de dégradation des transistors MOS : la dégradation par porteurs chauds, le NBTI (negative bias temperature instability) et le claquage d'oxyde. Les autres mécanismes de dégradation ne seront pas présentés dans cette thèse.

Les différents mécanismes de dégradation présentés dans cette partie affectent uniquement l'oxyde de grille ou l'interface entre l'oxyde de grille et le substrat en silicium des transistors MOS. Les destructions occasionnées interviennent au niveau de la structure cristalline de l'oxyde de grille.

3-1 Les différents mécanismes de dégradation des transistors MOS

3-1-1 La dégradation par porteurs chauds

La dégradation par porteurs chauds, bien connu dans la littérature [15 - 19], est un effet causé par des électrons ou des trous très énergétiques présents dans le canal d'un transistor. Ce phénomène a aussi bien lieu dans les transistors MOS à canal n que p. Cependant, l'effet est beaucoup plus marqué dans les NMOS, les transistors que nous utilisons dans nos amplificateurs de puissance. Nous présentons donc ce phénomène uniquement dans les transistors MOS à canal n.

Lorsqu'un transistor MOS est polarisé en inversion forte et qu'une tension drain-source V_{ds} lui est appliquée, son canal est dit « pincé ». Un fort champ électrique règne dans la zone de déplétion (Figure 13). Il existe donc une probabilité non nulle que des porteurs se déplacent de la source vers le drain à travers le canal, en acquérant un gain d'énergie proportionnel au champ électrique induit par la tension V_{ds} . La Figure 13 représente un schéma en coupe d'un transistor MOS en régime d'inversion forte.

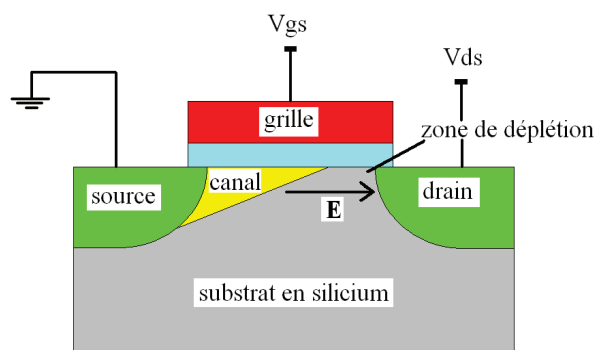


Figure 13 : Schéma en coupe d'un transistor MOS en inversion forte

S'il on regarde la distribution de l'énergie cinétique de ces porteurs près du drain et qu'on la compare à celle de porteurs non soumis à une tension V_{ds} , il apparaît que ces premiers ont une température supérieure à celle du silicium. Ces porteurs sont dit chauds. Lorsque ces porteurs ont une énergie suffisamment élevée, de gros dommages sont alors causés au dispositif. Il y a quatre principaux mécanismes d'injection de porteurs chauds.

Le premier mécanisme schématisé sur la Figure 14 est appelé avalanche de porteurs chauds au niveau du drain (drain avalanche hot carrier : DAHC). La tension de drain est supérieure à la tension de grille. Les porteurs ont une telle énergie qu'ils ionisent par impact les ions dopant du drain. Une paire électron-trou très énergétique est ainsi créée. Lorsque cette paire se casse, les électrons chauds sont piégés soit à l'interface oxyde-drain ou soit dans l'oxyde. Ceci crée localement une charge d'espace. Plus cette charge est importante, plus les valeurs de la transconductance g_m , de la tension de seuil V_{th} et de la mobilité des porteurs du dispositif évoluent et modifiant sévèrement les caractéristiques du transistor.

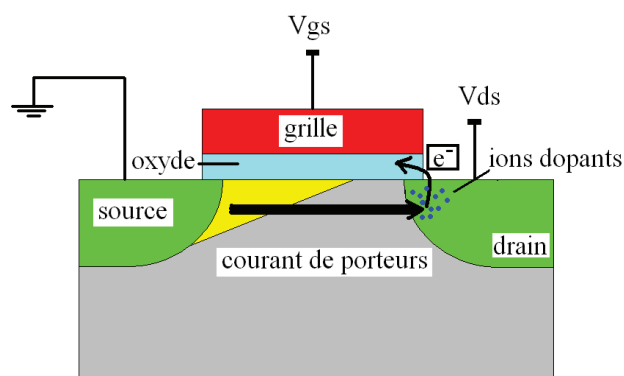


Figure 14 : Schéma du principe de l'injection de porteurs chauds au niveau du drain

Le deuxième mécanisme est l'injection d'électrons chauds dans le canal. Il apparaît lorsque la tension de grille et la tension de drain sont égales et bien supérieures à $V_{dd\ max}$. Les électrons chauds passent directement dans l'oxyde avant d'accéder au drain à cause du fort champ électrique induit par la tension de grille.

Ensuite il y a l'injection d'électrons chauds dans le substrat. Ce phénomène arrive lorsque la tension de polarisation du substrat V_{bulk} est très négative. Les porteurs chauds créés sont aussi piégés dans l'oxyde de grille.

Enfin le dernier mécanisme est appelé la génération secondaire d'électrons chauds. Le principe est le même que le DAHC avec une tension de substrat très négative. Le résultat est aussi le même que le DAHC.

Au regard des niveaux de stress subis par les transistors MOS dans nos amplificateurs de puissance, ils seront donc principalement impactés par l'avalanche de porteurs chauds au niveau du drain. En effet nos amplificateurs de puissance fonctionnent en classe A et les transistors sont polarisés à $V_{dd\ maximum}$ (voir le chapitre suivant). C'est dans cette configuration que les porteurs sont le plus énergétiques et dégradent le plus le transistor MOS.

3-1-2 Le NBTI

Le negative bias temperature instability (NBTI), développé dans les références [20 - 22], est le principal mécanisme de dégradation dans les transistors PMOS. Une tension de grille faiblement négative peut dégrader le dispositif. Un phénomène similaire peut être observé dans les transistors NMOS et est appelé PBTI. Ce mécanisme est d'autant plus important que le canal des transistors diminue.

Le modèle physique principalement utilisé jusqu'ici est le modèle de réaction-diffusion [20 - 22]. Il est schématisé sur la Figure 15.

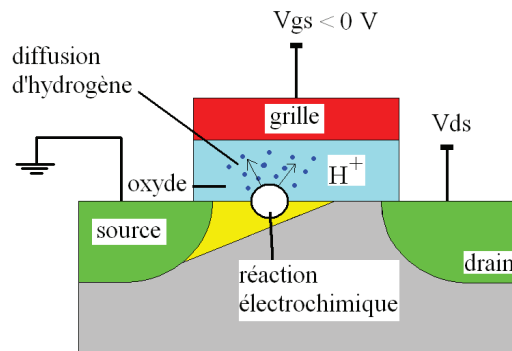


Figure 15 : Principe du mécanisme réaction-diffusion dans une dégradation de type NBTI

Dans un premier temps, une réaction électrochimique a lieu au niveau de l'interface oxyde-silicium. Lors de cette réaction, des liaisons silicium-hydrogène sont détruites : l'hydrogène ainsi libéré diffuse dans l'oxyde de grille. Ceci entraînant le piégeage de porteurs dans l'oxyde et au niveau de son interface avec le silicium.

Les amplificateurs de puissance que nous avons conçus, ne sont composés que de transistors NMOS. Nous ne serons donc pas impactés par la dégradation NBTI et si faiblement par le phénomène PBTI qu'il n'est pas mesurable.

3-1-3 La claquage de l'oxyde de grille

Le claquage de l'oxyde est la formation d'un chemin conducteur à travers l'oxyde de grille d'un transistor MOS et a été largement développé dans la littérature [23 - 26]. Ce phénomène se produit lorsque l'on applique des niveaux de tension très importants entre la grille et le drain.

Ce mécanisme se déroule en deux étapes : tout d'abord le nombre de défauts (trous) dans l'oxyde augmentent. Ensuite un chemin de claquage apparaît. Différents modèles sont utilisés pour décrire la phase de dégradation, tels que l'injection de trous dans l'anode, le rejet d'hydrogène par l'anode ou le modèle thermochimique.

La formation du chemin de claquage peut être expliquée par la théorie de percolation (création d'un chemin conducteur) schématisée sur la Figure 16.

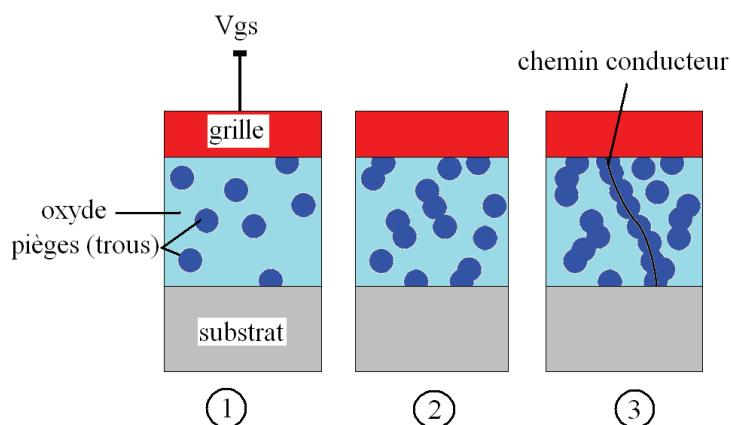


Figure 16 : Schéma présentant les trois étapes aboutissant au claquage de l'oxyde

A cause d'une forte tension appliquée sur la grille, des pièges sont créés dans l'oxyde et positionnés de façon aléatoire. Une fois qu'une quantité suffisante de trous est créée un chemin entre le drain et la grille apparaît. A ce moment une décharge électrique a lieu rendant le chemin conducteur. Il y a donc claquage de l'oxyde, un courant passe du drain vers la grille.

Il y a trois différents types de claquages : les claquages dur, progressif et faible. Lors du claquage dur, la grille ne contrôle plus le canal : le transistor MOS est détruit. Dans les deux autres cas, le dispositif peut encore fonctionner mais il est très dégradé.

Les tensions appliquées au transistor MOS dans les amplificateurs de puissance ne sont pas d'un niveau tel que le phénomène du claquage d'oxyde entre en jeu.

3-2 Le modèle de dégradation par porteurs chauds

Après une courte description des phénomènes de dégradation ayant lieu dans les transistors MOS, nous allons nous focaliser sur le mécanisme de dégradation largement majoritaire impactant les transistors MOS dans les amplificateurs de puissance : l'injection des porteurs chauds.

Dans ce paragraphe, nous décrivons brièvement, sans entrer dans les détails, le modèle de dégradation des transistors MOS que nous utilisons dans le simulateur Eldo. Ce modèle a été développé et intégré dans le simulateur par C. Parthasarathy dans sa thèse [29].

La dégradation par porteurs chauds est causée par le passage de porteurs très énergétiques dans le canal d'un transistor MOS (voir le paragraphe précédent). Dans la littérature, il est montré que le taux de dégradation par les porteurs chauds est à la fois dépendant de la tension statique appliquée sur le drain et sur la grille d'un transistor sachant que la source est reliée à la masse. Une augmentation de la tension de drain conduit à une augmentation du champ électrique latéral dans le canal, générant ainsi des porteurs plus énergétiques (chauds). Ces porteurs très énergétiques viennent ioniser les ions au niveau du drain. La survenue de cette ionisation par impact peut être contrôlée en calculant le courant de substrat et est détaillée par C.Hu [27]. Ce courant s'écrit :

$$I_b = \frac{A_i}{B_i} \cdot E_m \cdot l_c \cdot I_{ds} \cdot e^{\frac{-B_i}{E_m}} \cdot e^{\frac{-E_a}{k \cdot T}} \quad [A] \quad (7)$$

où A_i et B_i sont des paramètres physiques dépendant du transistor concerné, de la technologie utilisée et des conditions de stress, l_c est une longueur caractéristique liés au régime de saturation du transistor MOS, I_{ds} son courant de drain, E_m est le champ électrique maximale dans le canal du transistor, E_a l'énergie d'activation d'Arrhenius, k la constante de Boltzmann et T la température. De plus, C. Parthasarathy [29] à corrigé les valeurs de A_i et de B_i pour les adapter aux technologies CMOS avancées.

Dans les amplificateurs de puissance RF, la grille des transistors est polarisée avec ($V_{ds} \approx V_{gs}$) entraînant un taux de dégradation des transistors MOS maximum, comme il est expliqué dans les thèses [28] et [29]. Nous pouvons ainsi écrire la dégradation d'un paramètre arbitraire D du transistor MOS en fonction du courant de substrat (équation (7)) et du temps de stress t :

$$\Delta D(t) = \left(\frac{I_{ds}}{W \cdot H} \cdot \left(\frac{I_b}{I_{ds}} \right)^m \right)^n \cdot t^n \quad (8)$$

où t est le temps de stress, I_{ds} le courant de drain du transistor, W sa largeur de grille, I_b le courant de substrat, H , n , m des coefficients à déterminer par les tests. Typiquement, m dépend de V_{gd} .

Le principe du calcul de la dégradation d'un paramètre extrapolé à un temps T_L et son implémentation dans le simulateur Eldo est explicité dans le Chapitre 4.

Les principaux paramètres électriques des transistors MOS pouvant être dégradés dans le modèle de vieillissement sont sa transconductance g_m , sa tension de seuil V_{th} , sa mobilité des porteurs μ et sa résistance dynamique drain-source R_{ds} . Les résultats de mesures des dégradations des paramètres statiques des transistors MOS sont présentés dans le Chapitre 4.

3-3 Mesure de la dégradation par porteurs chauds des transistors MOS

Pour être capable de valider ce modèle de vieillissement par la mesure il faut concevoir un circuit de test contenant un seul transistor MOS subissant un stress RF à 60 GHz. De plus, ce circuit doit être adapté en entrée et en sortie pour éviter d'importantes pertes de puissance et doit présenter une puissance à la compression suffisamment élevée pour pouvoir avoir des puissances élevées au niveau du drain afin d'observer une dégradation significative. Ce circuit est en fait un amplificateur de puissance à un étage en topologie source commune. Nous présentons la méthodologie de conception de ce circuit dans le troisième chapitre et les résultats de mesure de vieillissement statique et dynamique dans le quatrième chapitre.

Conclusion

Pour élaborer un modèle de transistor MOS complet, nous avons ajouté au modèle PSP intrinsèque le modèle extrinsèque précédemment développé. Ce modèle prend en compte les éléments parasites des accès, comme des résistances en série, les capacités de couplage entre les interconnexions et les capacités par rapport au substrat. Les comparaisons entre les mesures et les simulations montrent un bon accord et permettent de valider notre modélisation.

Dans la suite du chapitre, les trois principaux mécanismes de vieillissement des transistors sont présentés. Nous montrons que dans les amplificateurs de puissance, le principal mécanisme de dégradation des transistors MOS est l'injection des porteurs chauds. Nous avons donc décrit le modèle utilisé pour décrire ce phénomène dans un régime statique et dynamique basse fréquence. Ensuite, le principe de la modélisation du vieillissement a été montré.

Dans la suite de la thèse nous présentons les amplificateurs de puissance à 60 GHz en technologie CMOS 65nm que nous avons conçus. Ces circuits, dédiés aux tests de fiabilité, nous permettent tout d'abord de valider les modèles de composants actifs et passifs développés ainsi que le modèle de vieillissement des transistors MOS. Une étude complète de la fiabilité de ces circuits est présentée dans le quatrième chapitre.

Références

- [1] S. Pruvost, “Etude de faisabilité de circuits pour systèmes de communication en bande millimétrique, en technologie BiCMOS SiGeC 0,13 μm ”, thèse de Doctorat, Université de Lille 1, No. D’ordre, Nov. 2005.
- [2] G. Gildenblat, X. Li, W. Wu, H. Wang, A. Jha, R. van Langevelde, G. D. J. Smit, A. J. Scholten, and D. B. M. Klaassen, “PSP: An Advanced Surface-Potential-Based MOSFET Model for Circuit Simulation”, IEEE Trans. on Electron Devices, Vol. 53, No. 9, Sept. 2006.
- [3] H. Wang, X. Li, W. Wu, G. Gildenblat, R. van Langevelde, G. D. J. Smit, A. J. Scholten, and D. B. M. Klaassen, “A Unified Nonquasi-Static MOSFET Model for Large-Signal and Small-Signal Simulations”, IEEE Trans. on Electron Devices, Vol. 53, No. 9, Sept. 2006.
- [4] H. Wang, T.-L. Chen, and G. Gildenblat, “Quasi-static and nonquasistatic compact MOSFET models based on symmetric linearization of the bulk and inversion charges,” IEEE Trans. Electron Devices, vol. 50, no. 11, pp. 2262–2272, Nov. 2003.
- [5] W. Liu, MOSFET Models for SPICE Simulation Including BSIM3v3 and BSIM4. New York: Wiley, 2001.
- [6] Abidi, A., “RF CMOS comes of age”, IEEE J. Solid State Circuit, Vol. 39, No. 4, 549-561, Apr. 2004.
- [7] Jo. Richard, E. Hizon, M. D. Rosales, H. Lynn, B. Tan, M. Cecilia N. Gutierrez, L. P. Alarcon, and D. Jay Sabido IX, “A Study of Layout Strategies in RF CMOS Design”, Prog. In Electromagnetics Research Symp. 2007, Prague, Czech Republic, August 27-30, pp. 497-502.

- [8] Cheng, Y., et al., "On the high-frequency characteristics of substrate resistance in RF MOS-FETs," IEEE Electron Device Letters, Vol. 21, No. 12, 604-606, Dec. 2000.
- [9] Kim, C., et al., "Gate layout and bonding pad structure of a RF n-MOSFET for low noise performance," IEEE Electron Device Letters, Vol. 21, No. 12, 607-609, Dec. 2000.
- [10] M. Wojtowicz, R. Lai, D. C. Streit, G. I. Ng, T. R. Block, K. L. Tan, P. H. Liu, A. K. Freudenthal, and R. M. Dia, "0.10 μm graded InGaAs Channel InP HEMT with 305 GHz f_t and 340 GHz f_{max} ", IEEE Electron Device Letter, Vol. 15, No. 11, Nov 1994.
- [11] P. Garcia, A. Chantre, S. Pruvost, P. Chevalier, S.T. Nicolson, S.P. Voinigescu, C. Garnier, "Will BiCMOS stay competitive for mmW applications?", IEEE CICC, San Jose, CA, September 2008.
- [12] L. Hayden, "An enhanced Line-Reflect-Reflect-Match calibration", 67th ARFTG Microwave Measurement Conference, San Francisco, CA, USA, June 2006, pp.143–149.
- [13] E. P. Vandamme, D. M. M.-P. Scheurs, G. van Dinther, "Improved Three-Step De-Embedding Method to Accurately Account for the Influence of Pad Parasitics in Silicon On-Wafer RF Test-Structures", IEEE Trans. On Electron Devices, vol. 48, no. 4, April 2001, pp. 737-742.
- [14] J. R. Black, "Electromigration-A brief survey and some recent results", IEEE Trans. On Electron Devices, vol. ED-16, no. 4, p. 338, 1969.
- [15] E. Takeda, C.Y. Yang, and A.M. Miura-Hamada, "Hot-Carrier effects in MOS devices". Academic Press, 1995.

- [16] R. Woltjer, G.M. Paulzen, H.G. Pomp, H. Lifka, and P.H. Woerlee, “Three hot-carrier degradation mechanisms in deep-submicron pMOSFET's”, *IEEE Trans. Electron Dev.*, vol. 42, no. 1, pp. 109-115, 1995.
- [17] A. Acovic, G. La Rosa, and Y.-C. Sun, “A review of hot-carrier degradation mechanisms in MOSFETs”, *Microelectronics Reliability*, vol. 36, no. 7-8, pp. 845-869, 1996.
- [18] G. Groeseneken, R. Degraeve, T. Nigam, G. Van den bosch, and H.E. Maes, “Hot carrier degradation and time-dependent dielectric breakdown in oxides”, *Microelectronic Engineering*, vol. 49, no. 1, pp. 27-40, 1999.
- [19] G. La Rosa and S.E. Rauch III, “Channel hot carrier effects in n-MOSFET devices of advanced submicron CMOS technologies”, *Microelectronics Reliability*, vol. 47, no. 4-5, pp. 552-558, 2007.
- [20] G. La Rosa, F. Guarin, S. Rauch, A. Acovic, J. Lukaitis, and E. Crabbe, “NBTI-channel hot carrier effects in pMOSFETs in advanced CMOS technologies ”, in *Proceedings of the International Reliability Physics Symposium*, 1997, pp. 282-286.
- [21] D.K. Schroder, “Negative bias temperature instability: What do we understand? ”, *Microelectronics Reliability*, vol. 47, no. 6, pp. 841-852, 2007.
- [22] V. Huard, M. Denais, and C. Parthasarathy, “NBTI degradation: From physical mechanism to modelling ”, *Microelectronics Reliability*, vol. 46, no. 6, pp. 1-23, 2006.
- [23] I.-C. Chen, S.E. Holland, and C. Hu, “Electrical breakdown in thin gate and tunneling oxides ”, *IEEE Trans. Electron Dev.*, vol. 32, no. 2, pp. 413-422, 1985.

- [24] J.W. McPherson and H.C. Mogul, “ Underlying physics of the thermochemical E model in describing low-field time-dependent dielectric breakdown in SiO₂ thin films ”, J. Appl. Phys., vol. 84, no. 3, pp. 1513-1523, 1998.
- [25] R. Degraeve, G. Groeseneken, R. Bellens, J.L. Ogier, M. Depas, P.J. Roussel, and H.E. Maes, “ New insights in the relation between electron trap generation and the statistical properties of oxide breakdown ”, IEEE Trans. Electron Dev., vol. 45, no. 4, pp. 904-911, 1998.
- [26] F. Monsieur, E. Vincent, D. Roy, S. Bruyere, J.C. Vildeuil, G. Pananakakis, and G. Ghibaudo, “ A thorough investigation of progressive breakdown in ultra-thin oxides. Physical understanding and application for industrial reliability assessment ”, in Proceedings of the International Reliability Physics Symposium, 2002, pp. 45-54.
- [27] C.Hu et al, “Hot-Electron-Induced MOSFET Degradation – Model, Monitor, and Improvement ”, IEEE Trans. on Electron Devices, Vol. ED-32, No. 2, Feb 1985.
- [28] G. T. Sasse, “Reliability Engineering in RF CMOS”, Ph.D. thesis, University of Twente, The Netherlands, ISBN: 978-90-365-2690-6, 2008.
- [29] C. Parthasarathy, “Etude de la Fiabilité des Technologies CMOS Avancées: Application à la Simulation de la Fiabilité de Conception des Circuits Numériques et Analogiques”, thèse de doctorat, Université d’Aix en Provence, France, ISBN: ..., octobre 2006.

Chapitre 3

La conception d'amplificateurs de puissances dédiés aux tests de fiabilité

Introduction

Dans le contexte de l'étude de la fiabilité des amplificateurs de puissance, nous abordons maintenant la partie concernant leur conception. Ce circuit RF est une fonction critique de la chaîne d'émission-réception radio du fait des fortes puissances mises en jeu amenant d'importants problèmes de fiabilité au niveau des transistors MOS. Dans ce chapitre, nous présentons une méthode de conception des amplificateurs de puissance (power amplifier : PA) à 60 GHz fonctionnant en classe A en technologie CMOS 65nm et dédiés aux tests de vieillissement. Cette approche nous a permis de concevoir des amplificateurs ayant des performances suffisantes pour étudier leur fiabilité. Bien que l'utilisation d'une méthode classique de type load-pull aurait pu être apporté des performances légèrement supérieures nous avons préféré privilégier une approche méthodologique de la conception d'un PA.

Dans un premier temps, nous présentons la démarche de conception d'un amplificateur de puissance à 1 étage permettant de valider à la fois notre méthodologie de conception et les modèles des éléments actifs et passifs développés dans les deux premiers chapitres. Lors de la conception de ce circuit, nous avons systématiquement respecté les règles d'électromigration au niveau des lignes métalliques (cf. Tableau 3, Chapitre 2). Ceci permet au circuit d'être aussi utilisé pour les tests de vieillissement et ainsi de valider le modèle de dégradation par porteurs chauds du transistor MOS, dont les résultats sont présentés dans le quatrième chapitre.

Ensuite, fort de la validation des modèles des éléments actifs et passifs utilisés et de la méthodologie de conception, nous présentons un amplificateur de puissance à deux étages avec les performances maximales tout en respectant les règles d'électromigration à haute température.

Enfin, nous avons conçu un amplificateur de puissance à quatre étages afin d'obtenir des performances en puissance et en gain à l'état de l'art des réalisations actuelles. L'étude de la fiabilité d'un tel circuit nous donnera une estimation précise de la dégradation au cours du temps des amplificateurs de puissance hautes performances en technologies CMOS avancées.

1 Généralités sur les amplificateurs de puissance

L'amplificateur de puissance ou d'émission (power amplifier : PA) est un des dispositifs les plus critiques d'un émetteur/récepteur radio. Il doit amplifier le signal tout en garantissant une grande linéarité (point de compression élevé) pour permettre une puissance de sortie maximum. Le dispositif doit être fiable pour délivrer de la puissance pendant une longue durée d'utilisation. L'étude de la fiabilité d'un tel dispositif fera l'objet du dernier chapitre de cette thèse.

Les contraintes générales d'un PA intégré en technologie CMOS nanométrique sont les suivantes :

- délivrer de la puissance sous une tension d'alimentation V_{dd} faible (entre 1V et 1,2V) correspondant à la tension de drain maximum autorisée par les technologies CMOS avancées ;
- présenter des pertes minimales et un rendement élevé ;
- présenter en sortie un niveau d'harmoniques faible (filtrage du signal) ;
- présenter un gain constant sur une dynamique de signal élevée pour des signaux à enveloppe non constante (AM/AM) présentant un PAPR (rapport entre la puissance maximale et la puissance moyenne du signal d'entrée) relativement élevé ;
- présenter une faible dépendance de la phase en fonction de l'amplitude (AM/PM).

Compte tenu du domaine de fréquence et des performances en linéarité nécessaires, nous nous limitons à des structures fonctionnant en classe sinusoïdale A ou A-B. En effet, pour ces classes de fonctionnement, les amplificateurs présentent les points de compression en sortie les plus élevés pour une tension d'alimentation donnée. Quand aux classes B et au delà, il est très difficile d'obtenir un gain significatif sur un étage, aux fréquences millimétriques. De plus ces classes de fonctionnement sont fortement non-linéaires.

1-2 Etat de l'art des amplificateurs de puissance fonctionnant aux fréquences millimétriques

Nous allons tout d'abord rappeler quelques définitions des paramètres caractéristiques des amplificateurs de puissance :

- Le point de compression à 1 dB en sortie OCP_{1dB} (output 1 dB compression point) d'un amplificateur de puissance est la puissance de sortie correspondant à une perte de gain de 1 dB. Les amplificateurs de puissance fonctionnent généralement à ce point de compression en classe A.

- Le gain en puissance G_p en dB d'un amplificateur de puissance est le rapport entre la puissance développée sur la charge P_{out} en Watt et la puissance développée en entrée P_{in} en Watt :

$$G_p = 10 \cdot \log \left(\frac{P_{out}}{P_{in}} \right) \quad [dB] \quad (1)$$

- Le rendement η défini par le rapport entre la puissance développée sur la charge P_{out} en Watt et la puissance totale consommée P_{DC} en Watt:

$$\eta = \frac{P_{out}}{P_{DC}} \quad (2)$$

- Le rendement en puissance ajouté, (power added efficiency : PAE) est défini comme le rapport entre la puissance ajoutée (différence entre la puissance en sortie et la puissance correspondante en entrée) et la puissance totale consommée :

$$PAE = \eta \left(1 - \frac{1}{G_p} \right) \quad [\%] \quad (3)$$

- La puissance à la saturation P_{sat} en dBm est définie comme étant la puissance maximum pouvant être atteinte en sortie de l'amplificateur.

Le Tableau 1 regroupe les performances des amplificateurs de puissance (récemment publiés dans la littérature scientifique), fonctionnant en classe A aux fréquences millimétriques et réalisés dans différentes technologies. Nous regardons en priorité les amplificateurs de puissance fonctionnant autour de 60 GHz et 77 GHz. Nous avons choisi le

gain et le point de compression en sortie (OCP_{1dB}) comme étant les caractéristiques de référence pour mener cette comparaison.

| Références | Topo. | Fréq. (GHz) | P_{sat} (dBm) | OCP_{1dB} (dBm) | G_p (dB) | PAE (%) | Conso. (mA) |
|---|-------------------------------|----------------|--------------------|----------------------|---------------|------------|-----------------------|
| [1] 4 étages m-HEMT 150nm | classe A source commune | 77 | 15,5 | 12 | 20 | 23,4 | 180 $V_{dd}=2$ V |
| [5] 4 étages BiCMOS 130nm | classe A source commune | 77 | 17,5 | 12 | 17 | 12,8 | 430 $V_{dd}=1,8$ V |
| [2] 4 étages CMOS 90nm | classe A source commune | 60 | 14,2 | 12,1 | 4,2 | 5,8 | 121 $V_{dd}=1,2$ V |
| [9] 4×2 étage en parallèle CMOS 90nm | classe A source commune | 60 | 20 | 18,2 | 20,6 | 14,2 | 682 $V_{dd}=1,2$ V |
| [8] 2×8 étage en parallèle CMOS 65nm | classe A source commune | 60 | 17,7 | 15,1 | 18,1 | 11,1 | 524 à $V_{dd}=1$ V |
| [10] 2×8 étage en parallèle CMOS 65nm | classe A cascode | 60 | 18,1 | 11,1 | 15,5 | 3,6 | 833 $V_{dd}=1,8$ V |
| [7] 2 étages CMOS 45nm | classe A source commune | 60 | 13,8 | 11 | 6 | 7 | 125 $V_{dd}=1,2$ V |

Tableau 1 : Etat de l'art des amplificateurs de puissance

Nous voyons dans le Tableau 1 que les amplificateurs de puissance conçus en technologie AsGa (HEMT) ou SiGe (BiCMOS) présentent des performances de tout premier ordre avec des niveaux de puissance importants et une PAE importante. De plus, les amplificateurs conçus dans ces technologies sont fiables ils ne se dégradent pas au cours du temps. En effet, ces circuits sont constitués de transistors bipolaires et à hétérojonction, réputés robustes aux fortes tensions.

Concernant les PAs conçus dans des technologies CMOS, nous voyons qu'il existe deux types de topologies différentes : les amplificateurs formés par des étages mis en parallèle [8-10] et les amplificateurs simples [2] et [7]. Tous ces amplificateurs de puissance ne sont pas fiables (à l'exception de celui présenté en référence [10], nous y reviendrons plus tard) car

la tension drain-source V_{ds} vue par chacun des transistors MOS dépasse la tension d'alimentation maximale autorisée pour la technologie (par exemple 1,2 V en CMOS 65 nm). En effet l'importante excursion en sortie de ces amplificateurs en classe A, fonctionnant à leur point de compression, impose des tensions drain-source aux transistors pouvant atteindre $2 \times V_{dd}$. Or, comme nous l'expliquons dans le Chapitre 2, lorsqu'un transistor MOS voit une tension drain-source supérieure à V_{dd} , il se dégrade rapidement et ne peut pas tenir les critères de fiabilité que nous définissons dans le chapitre suivant.

Concernant les circuits [8] à [10] qui utilisant des techniques de recombinaison de puissance, leurs performances sont élevées mais leur consommation est très importante. Ceci est assez pénalisant pour une utilisation dans des applications de types WLAN à 60GHz par exemple.

L'amplificateur 2×8 étages en parallèle en topologie cascode conçu par B. Martineau [10] est polarisé de telle manière que la tension drain-source appliquée sur chaque transistor ne dépasse pas V_{dd} . Cet amplificateur semble fiable bien que seul des tests de fiabilité puissent le prouver. De plus, la consommation de cet amplificateur est très importante pour un point de compression moyen de 11,5 dBm. Cette topologie semble être la solution pour rendre les amplificateurs de puissance CMOS fiables au détriment d'un rendement très faible et d'un point de compression limité.

Les amplificateurs [2] et [7] sont conçus en topologie source commune simple. Polarisée à V_{dd} , afin de délivrer le maximum de puissance, ils présentent des performances correctes avec une consommation raisonnable. L'étude de la fiabilité des amplificateurs de puissance à 60 GHz se fera donc sur ce type de circuit. En effet la topologie source commune est simple et permet dans le cas d'un amplificateur à un étage de remonter aux paramètres dégradés du transistor MOS qui le compose.

L'objectif de notre étude est donc de concevoir des amplificateurs de puissance à 60 GHz dédiés aux tests de fiabilité. Ceci permet de valider le modèle de dégradation quasi-statique par porteurs chauds des transistors MOS à 60 GHz et ainsi de calculer les temps de vie des amplificateurs de puissance.

2 Conception d'un amplificateur de puissance à un étage respectant les règles d'électromigration à 125°C

Dans cette partie, nous allons décrire les étapes de conception et les résultats de mesure d'un amplificateur de puissance à un étage fonctionnant à 60 GHz et conçu en technologie CMOS 65nm. Cet amplificateur est tout d'abord utilisé pour valider les modèles des éléments passifs et actifs développés dans les premier et deuxième chapitres. Il est ensuite utilisé lors des tests de vieillissement à 60 GHz pour valider et améliorer le modèle de dégradation des transistors MOS par l'injection de porteurs chauds. Ces résultats sont présentés dans le quatrième chapitre.

La première étape de notre méthodologie de conception du PA à un étage consiste à choisir sa topologie et dimensionner le transistor.

2-1 Choix du transistor et topologie de l'étage

2-1-1 Le choix de la topologie du circuit

Le schéma du circuit est basé sur un montage source commune. Ce montage présente un gain élevé et une faible isolation entrée-sortie, limitée par l'effet Miller dû à la capacité grille-drain. Enfin, la simplicité du montage permet de remonter directement aux paramètres du transistor MOS lors de l'étude de son vieillissement.

2-1-3 Le dimensionnement du transistor du PA à 1 étage

Nous allons déterminer la taille du transistor qu'il nous faut utiliser pour avoir un gain suffisant (supérieur à 5dB) dans un amplificateur à un étage et un niveau de puissance en sortie (supérieur à 5dBm) permettant de mesurer un vieillissement significatif.

Pour ce faire, nous avons évalué, en fonction de la résistance de charge R_{load} exprimée en ohms présentée sur le drain, la variation du point de compression en sortie et celle du gain pour trois transistors différents ($W=180\text{ }\mu\text{m}$, $W=100\text{ }\mu\text{m}$ et $W=60\text{ }\mu\text{m}$ avec une longueur de grille minimum de 60 nm). Nous avons donc changé les polarisations des transistors MOS en

fonction de R_{load} afin que l'étage reste en classe A. Le courant de drain, d'après la Figure 1 s'écrit donc :

$$I_{ds} = \frac{V_{dd}}{R_{charge}} \quad [A] \quad (4)$$

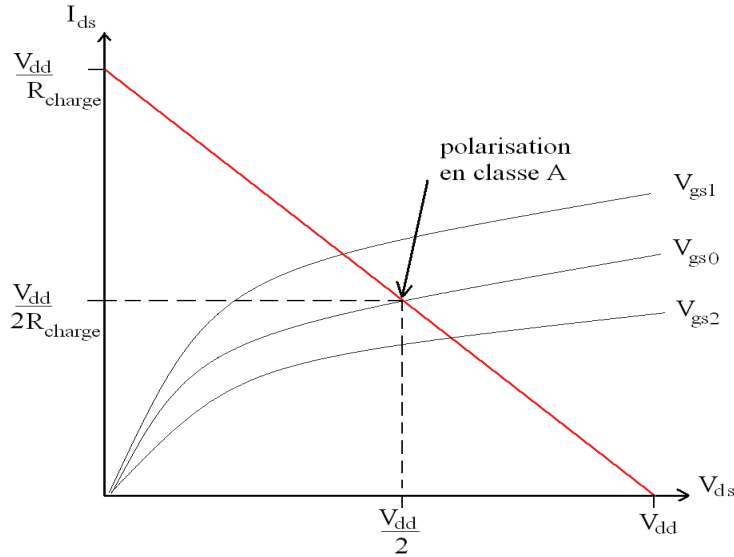


Figure 1 : Droite de charge dynamique d'un transistor MOS

Pour tracer le point de compression en sortie et le gain d'un étage classe A en fonction de R_{load} , nous avons utilisé le schéma de simulation présenté sur la Figure 2. Une ligne de dégénérescence représentant la ligne d'accès à la source est ajoutée au circuit. En effet, l'inductance de cette ligne participe à la stabilité de l'amplificateur en ramenant une partie réelle positive en entrée de ce dernier. Ensuite, nous compensons la partie imaginaire (capacitive) de l'impédance de sortie du transistor MOS avec une inductance L_{opt} placée en parallèle afin d'avoir le maximum de puissance en sortie, lorsque l'entrée voit une impédance de source de 50Ω . Nous mesurons par simulation L_{opt} égale à 100 pH, 60 pH et 40 pH pour les transistors MOS en CMOS 65 nm de largeur égale à 60 μm , 100 μm et 180 μm respectivement.

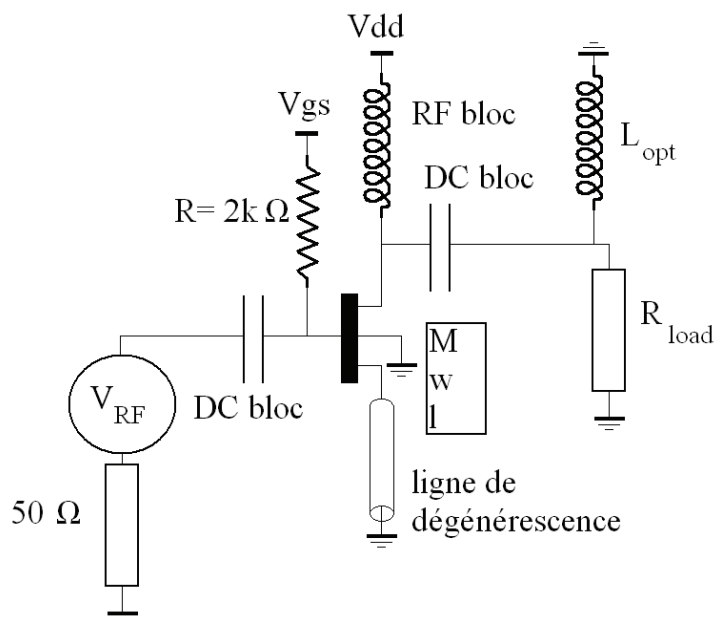


Figure 2 : Schéma utilisé pour la simulation du point de compression et du gain en fonction de la charge R_{load} et pour différentes largeurs W de transistors.

Nous avons tracé sur la Figure 3 le point de compression en sortie, et le gain des trois transistors polarisés en classe A en fonction de la résistance de charge R_{load} pour trois largeurs W (60 μ m, 100 μ m et 180 μ m) de transistors de largeur de doigt identiques et de 1 μ m. La zone 1, correspondant à un transistor de largeur $W = 60 \mu$ m, est une zone dans laquelle la valeur de la densité de courant de polarisation ne respecte pas les règles d'électromigration à 125°C, (cf. Tableau 3, Chapitre 2). Les zones 2 et 3 correspondant respectivement aux transistors de largeur $W = 100 \mu$ m et $W = 180 \mu$ m sont des zones dans lesquelles la valeur de la densité de courant de polarisation ne respecte pas les règles d'électromigration à 105°C, (cf. Tableau 3, Chapitre 2).

En ce qui concerne les règles d'électromigration celle-ci sont satisfaites pour les accès aux doigts des transistors. La limitation vient donc de la longueur $L_{accès\ source}$ nécessaire à l'accès source pour chacun des transistors. En technologie 65nm et d'après le Chapitre 2, celle-ci est égale au nombre de doigts que multiplie la distance entre deux doigts $d = 0,33 \mu$ m. $L_{accès\ source}$ a pour valeur : 20 μ m, 33 μ m et 60 μ m respectivement pour les transistors de largeur effective 60 μ m, 100 μ m et 180 μ m.

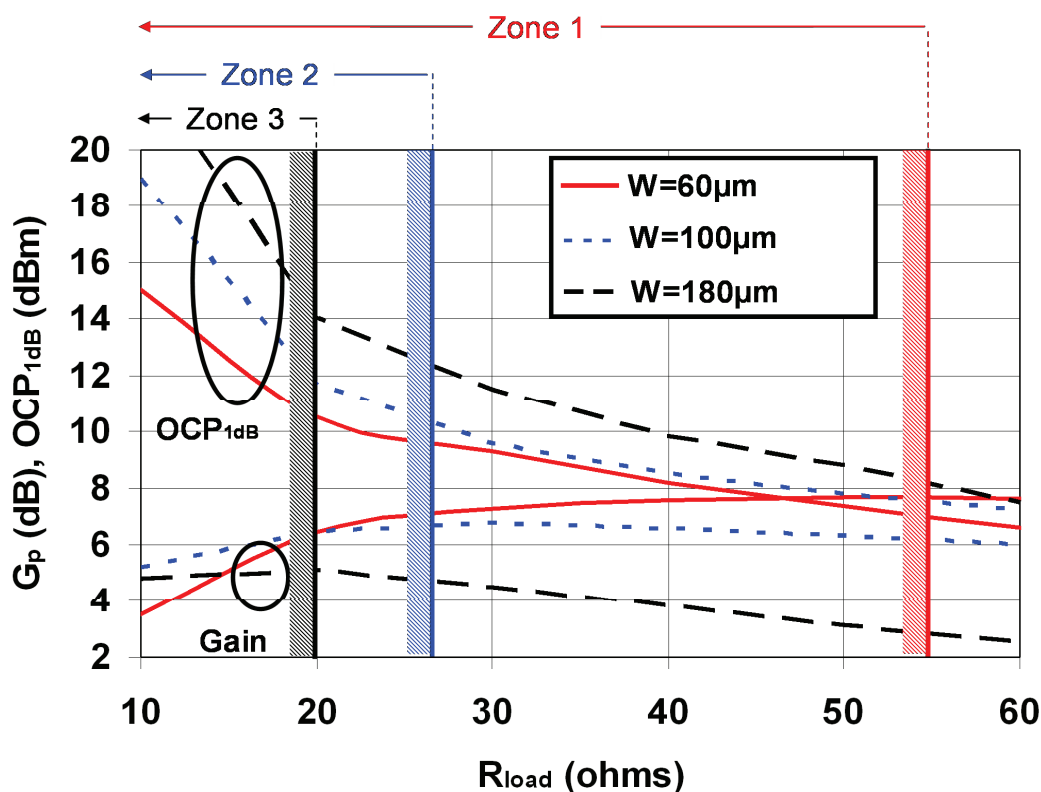


Figure 3 : Point de compression en sortie et gain des transistors MOS de largeur $W=180\mu m$, $100\mu m$ et $60\mu m$ polarisé en classe A en fonction de leur résistance de charge R_{load} .

Nous avons représenté sur la Figure 4 le courant de drain de chacun des transistors polarisés en classe A en fonction de la résistance de charge. Nous y avons aussi indiqué la valeur du courant pour lequel ils sont polarisés à leur pic de f_T (fréquence de transition) et correspondant à une densité de courant de l'ordre de $0,3-0,4\text{ mA}.\mu m^{-1}$ [4]. De plus, polariser un transistor MOS à son pic de f_T permet de maximiser son gain pour un point de compression en sortie donné.

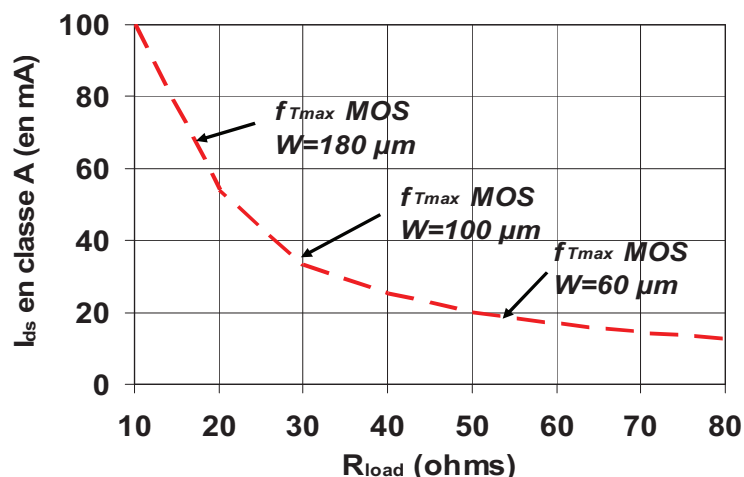


Figure 4 : Courant de drain des transistors MOS polarisés en classe A en fonction de leur résistance de charge R_{load} .

D'après la Figure 3, le transistor MOS de largeur $W=60 \mu m$ polarisé en classe A par un courant $I_{ds}=18 \text{ mA}$ et chargé par une impédance optimale de 60Ω permet, tout en respectant les règles d'électromigration à $125^\circ C$, d'avoir un gain de 7,5 dB et un point de compression en sortie d'au moins 7 dBm. Ces performances sont suffisantes pour l'utilisation de ce circuit dans des tests de fiabilité et donc observer des dégradations significatives des paramètres de l'amplificateur. De plus, pour ce transistor et d'après la Figure 4, le courant de polarisation correspondant (18 mA) correspond à son pic de f_T , par conséquent son gain sera maximisé.

Pour réaliser l'amplificateur à un étage, nous choisissons donc un transistor de largeur $W=60 \mu m$. Il est constitué d'un nombre de doigts de grille $N_{doigts}=60$, de largeur $w=1 \mu m$ et une longueur de grille $L_{grille}=60 \text{ nm}$.

Le choix du dimensionnement, de la polarisation et de la charge optimale du transistor MOS étant effectué, nous allons décrire les étapes suivantes de la conception de l'amplificateur de puissance utilisant ce dispositif.

2-2 Méthodologie de conception

Premièrement, nous synthétisons un réseau ramenant dans le plan du drain du transistor MOS, une self de 40 pH en parallèle avec une résistance $R_{load}=60 \Omega$, à partir d'une

impédance de charge en sortie de $50\ \Omega$. Ce réseau nous permet aussi d'amener la polarisation au niveau du drain du transistor. Cette étape est schématisée sur la Figure 5. Pour ce faire, une ligne microruban mise en parallèle (un stub) est placée à la sortie du transistor pour annuler la partie imaginaire de son impédance de sortie. Nous court-circuitons ce stub par quatre capacités MOM de $200\ \text{fF}$ en parallèle permettant d'amener une masse dynamique en bout de ligne. Cette ligne parallèle permet aussi d'amener la polarisation au niveau du drain. Enfin, ce réseau de sortie, contenant aussi une capacité série de découplage de $200\ \text{fF}$, permet d'adapter R_{load} sur l'impédance de $50\ \Omega$ en sortie de l'ampli. Les pertes amenées par ce réseau sont de $-1,5\ \text{dB}$ à $60\ \text{GHz}$.

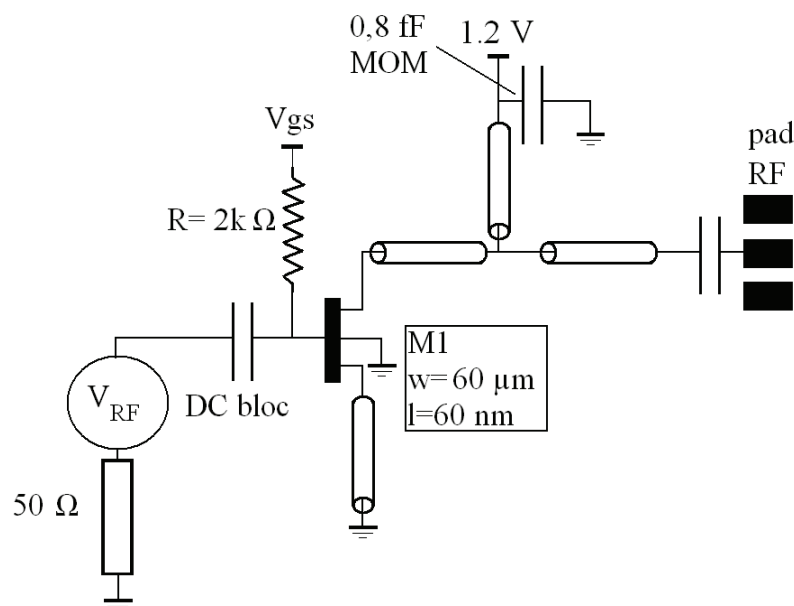


Figure 5 : Schéma du réseau de passif en sortie.

Ensuite, nous allons adapter sur $50\ \Omega$ l'entrée de l'étage. Le réseau d'adaptation est constitué de lignes microruban séries, et parallèles (stub) et d'une capacité MOM série de découplage de $200\ \text{fF}$. Avec un tel réseau, nous sommes capables à la fois d'adapter l'entrée du transistor MOS sur $50\ \Omega$ tout en compensant la partie imaginaire amenée par la capacité MOM de découplage de $200\ \text{fF}$. Les pertes amenées par ce réseau sont de $-1,5\ \text{dB}$.

L'ensemble des réseaux passifs perdent autour de $3\ \text{dB}$. Le circuit final est schématisé sur la Figure 6.

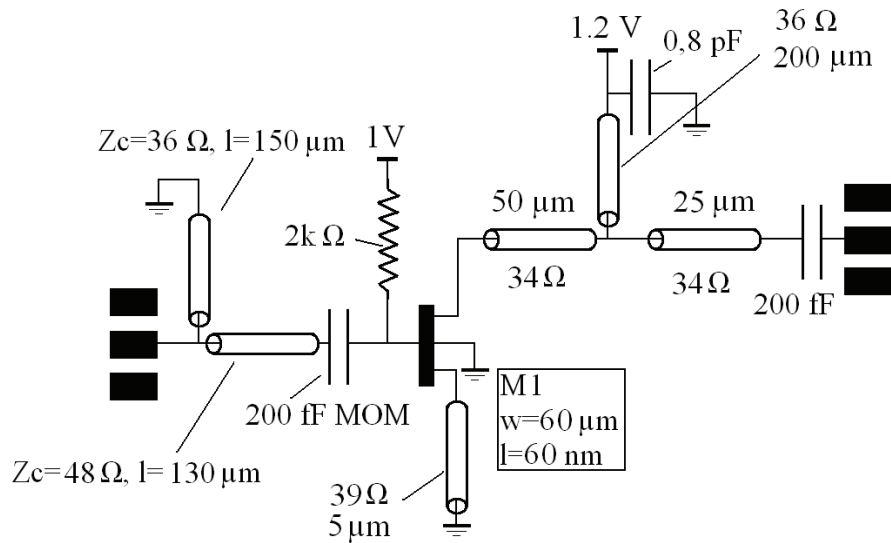


Figure 6 : Schéma de l'amplificateur de puissance à un étage et de ses éléments

Avec un gain maximum de 7,5 dB, le gain de l'amplificateur escompté sera autour de 4,5 dB, et le point de compression en sortie autour de 6 dB, en tenant compte des pertes dans les réseaux d'adaptation en entrée et en sortie.

Notre méthodologie de conception est résumée dans l'organigramme présenté sur la Figure 7. Nous utilisons cette méthode pour concevoir tous nos amplificateurs de puissance dédiés aux tests de fiabilité.

Dans le paragraphe suivant nous, détaillons le matériel utilisé pour effectuer les mesures en paramètres S et en puissance à haute fréquence des amplificateurs de puissance à 60 GHz.

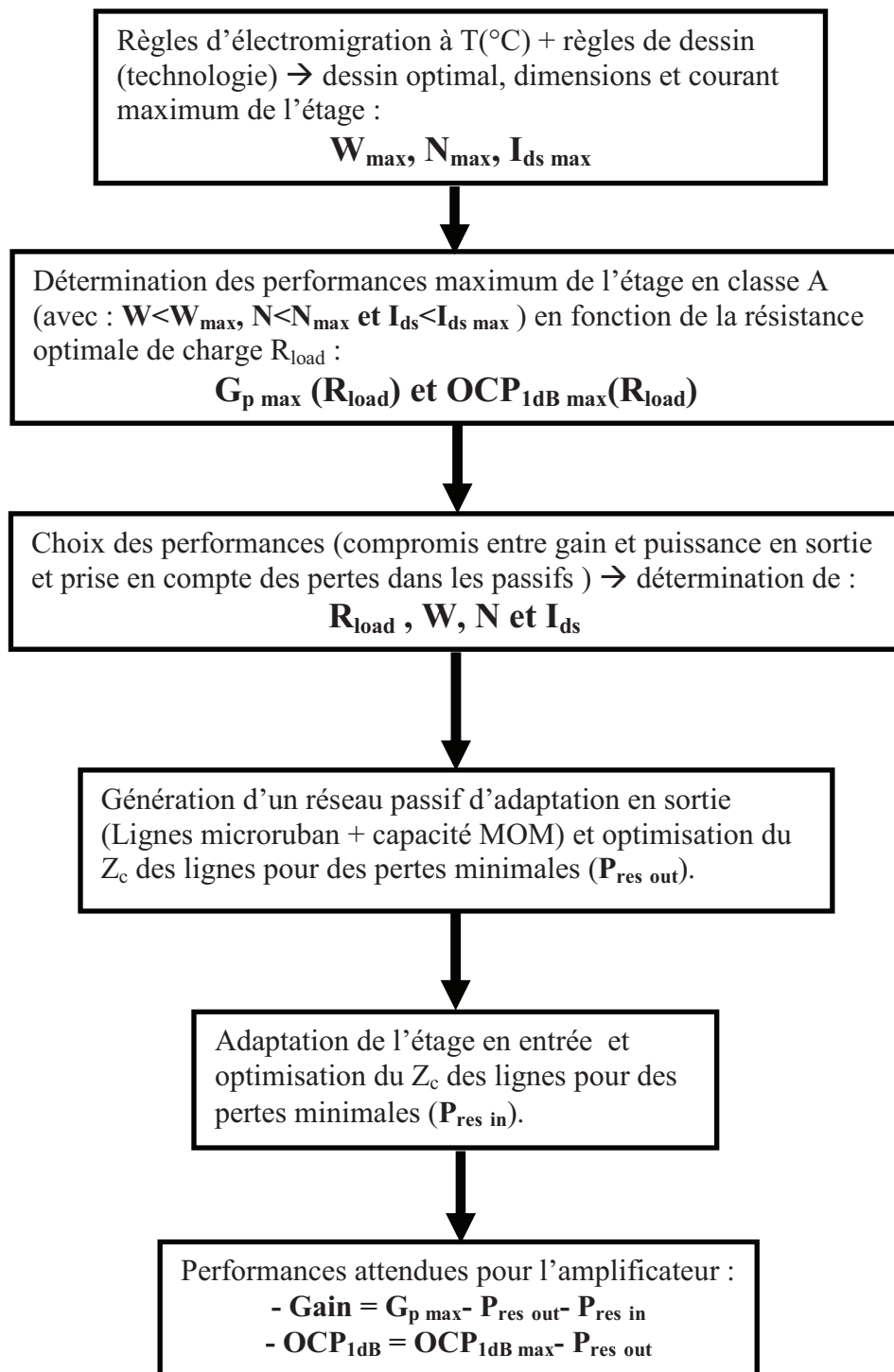


Figure 7 : Organigramme présentant notre méthodologie de conception d'un amplificateur de puissance à un étage

2-3 Performances de l'amplificateur de puissance à un étage

2-3-1 Méthode de caractérisation

L'amplificateur de puissance est caractérisé en paramètres S et en puissance à l'IMEP-LAHC à Grenoble. Concernant la mesure des paramètres S, nous utilisons une méthode de type LRRM [11] pour calibrer le VNA. La mesure de la puissance de sortie et des points de compression est faite grâce au VNA équipé d'un amplificateur de puissance externe permettant de délivrer 11 dBm maximum au circuit sous test sur la bande 55 GHz- 65 GHz. Le banc de mesure et les techniques d'étalonnages sont décrits dans l'Annexe 1.

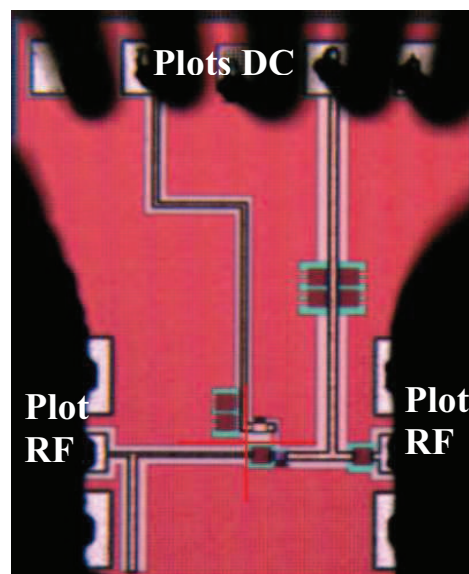


Figure 8 : Photo d'un PA un étage en CMOS 65 nm

Les dimensions du circuit sont de $0,4 \times 0,7 = 0,28 \text{ mm}^2$ en prenant en compte les plots RF. La distance entre les plots RF (gauche et droite) et les plots DC (en haut) est volontairement grande afin d'éviter qu'il y ait un contact entre les pointes RF et DC.

2-3-2 Résultats des mesures

Nous présentons sur la Figure 9 les performances mesurées et simulées petits et grands signaux de l'amplificateur de puissance à 1 étage conçu en technologie CMOS 65nm.

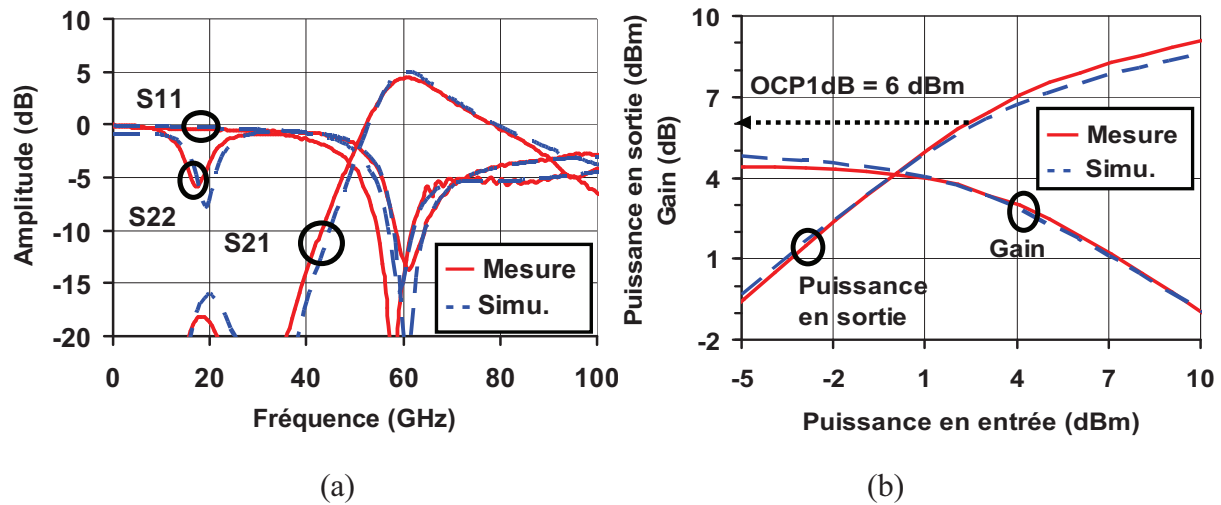


Figure 9 : Paramètres S (a), gain en puissance et puissance en sortie (b) mesurés et simulés du PA un étage en CMOS 65 nm

La comparaison entre les mesures et les simulations (Figure 9) de l'amplificateur de puissance à un étage montre un très bon accord. Les modèles des éléments passifs et actifs développés dans le Chapitre 1 et le Chapitre 2 sont donc confirmés.

Nous avons regroupé les résultats de mesure et de simulation à 60 GHz dans le Tableau 2.

| | fréquence (GHz) | Gain (dB) | ICP _{1dB} (dBm) | OCP _{1dB} (dBm) | S ₂₂ / S ₁₁ (dB) | Conso (mA) |
|------------|--------------------|--------------|-----------------------------|-----------------------------|---|---------------|
| mesure | 60 | 4.5 | 1.5 | 6 | -13 / -13 | 17 |
| simulation | 60 | 4.8 | 1.5 | 6 | -13 / -13 | 17 |

Tableau 2 : Comparaison entre les performances mesurées et simulées du PA 1 étage

Ces résultats montrent la pertinence de notre méthode de conception. Ce travail a fait l'objet d'une publication à la conférence IEEE WAMIcon 2010 [13].

3 Conception d'un amplificateur de puissance à deux étages respectant les règles d'électromigration à 125°C

L'ajout d'étages supplémentaires permet, tout en délivrant une puissance élevée, d'augmenter le gain de l'amplificateur. Nous décrivons dans cette partie la méthodologie de conception et les résultats de mesure d'un amplificateur à deux étages. Pour le deuxième étage, nous avons utilisé le transistor de largeur W maximum respectant les règles d'électromigration à 125 °C.

3-1 Dimensionnement des étages

Dans la première étape de conception, le choix des topologies des étages, de leur classe de fonctionnement sont faits. Ensuite, nous dimensionnons et polarisons les transistors MOS après avoir choisi les niveaux de puissance et le point de compression en sortie du circuit.

En ce qui concerne l'étage de sortie (le second étage) :

Son dimensionnement doit respecter les règles d'électromigration à 125 °C. Les dimensions maximales autorisées pour respecter les règles d'électromigration à 125 °C, (cf. Tableau 3, Chapitre 2) sont les suivantes : $W_{\text{total}}=144 \mu\text{m}$ avec $N_{\text{doigts}}=60$ et $L_{\text{grille}}=60 \text{ nm}$. Le courant maximum autorisé étant de 0,4 mA par doigts, cela nous donne un courant total de 24 mA avec une tension d'alimentation $V_{\text{dd}} = 1,2 \text{ V}$. En effectuant le même travail sur ce transistor que celui présenté sur la Figure 3, il faut présenter une résistance de charge R_{load} de 35Ω à cet étage pour fonctionner en classe A et être au pic de f_T du transistor MOS (Figure 4). Ceci nous donne un gain en puissance maximum de 6 dB et un point de compression en sortie de 11 dBm.

Pour conserver le point de compression global en sortie de l'amplificateur de puissance, nous faisons en sorte que le point de compression en sortie du premier étage soit d'un dB supérieur au point de compression en entrée du deuxième étage. Pour le premier étage, nous avons choisi le transistor utilisé dans l'amplificateur à 1 étage décrit

précédemment ($W_{\text{total}}=60\text{ }\mu\text{m}$ avec $N_{\text{doigts}}=60$ et $L_{\text{grille}}=60\text{ nm}$). Polarisé à 18 mA sous 1,2 V, il présente un gain maximum de 7,5 dB et un point de compression en sortie de 7 dBm sur une résistance de charge de $60\text{ }\Omega$

L'étape du dimensionnement et de la polarisation des transistors étant effectué, nous allons décrire les étapes de la conception de l'amplificateur à deux étages à 60 GHz nous amenant au dessin final du circuit.

3-2 Méthodologie de conception du circuit

Pour concevoir notre circuit, nous utilisons la méthodologie de conception décrite dans l'organigramme de la Figure 7 et nous l'adaptions à un amplificateur à deux étages.

La première étape de conception consiste donc à ramener au niveau du drain du deuxième étage l'impédance optimale R_{load2} de $35\text{ }\Omega$ déterminée précédemment ainsi que l'inductance de 60pH destinée à compenser la capacité de drain du transistor MOS. Ceci est réalisé par un réseau d'adaptation du même type que celui décrit précédemment et placé entre la charge de l'amplificateur de $50\text{ }\Omega$ et le drain du transistor M2. Ce réseau présente des pertes de l'ordre de 2 dB.

Une deuxième étape consiste, grâce à un réseau passif de même type, à transformer l'impédance d'entrée du deuxième étage en une impédance réelle de charge optimale de $60\text{ }\Omega$ pour le première étage (M1) en parallèle avec une self L_{opt1} de 40 pH, destinée à annuler la partie capacitive du drain du transistor M1. Ce réseau doit aussi permettre de polariser le transistor du 1^{er} étage et doit découpler la polarisation continue entre les deux étages grâce à une capacité MOM série de 200 fF.

Ainsi, un stub parallèle positionné sur une ligne microruban série permet de générer la self parallèle et aussi d'amener la polarisation au premier étage. La ligne de transmission série permet de ramener l'impédance optimale de $60\text{ }\Omega$ à partir de l'impédance d'entrée du deuxième étage tout en compensant la partie imaginaire série amenée par la capacité MOM de

découplage entre les deux étages. Ce réseau présente des pertes de l'ordre de 1,7 dB à 60 GHz.

La dernière étape consiste à adapter sur $50\ \Omega$ l'entrée du premier étage en utilisant un réseau d'adaptation de même type que celui de l'ampli à 1 étage décrit précédemment. Ce réseau présente des pertes de l'ordre de 1,7 dB à 60 GHz.

En considérant les pertes de l'ensemble du circuit égales à 5,5 dB à 60 GHz, nous nous attendons à un gain proche de 7,5 dB et un point de compression en sortie de 9 dBm.

Un schéma complet de cet amplificateur à 2 étages est présenté sur la Figure 10.

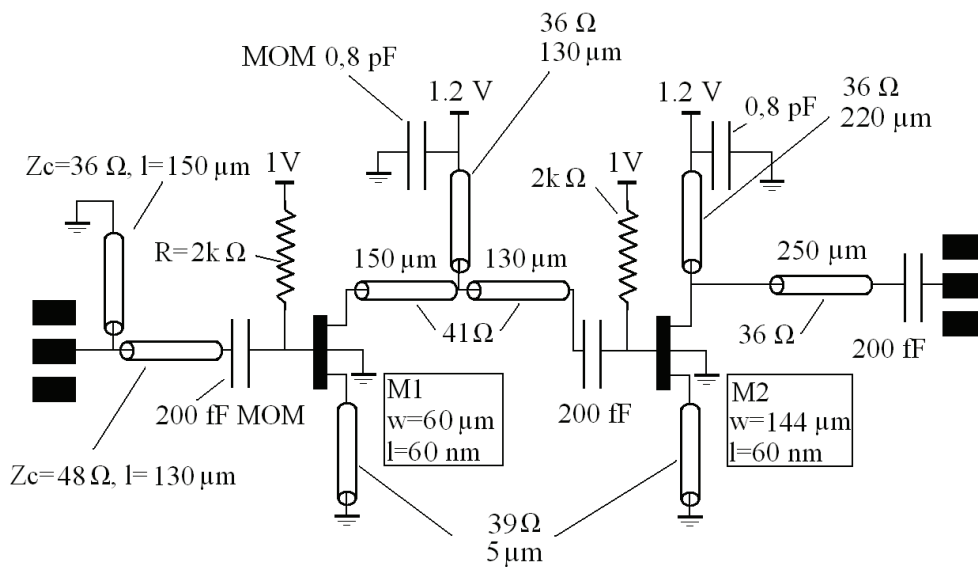


Figure 10 : Schéma de l'amplificateur de puissance à 2 étages avec ses éléments.

Dans le paragraphe suivant nous présentons des comparaisons entre les performances mesurées et simulées petits et grands signaux de ce circuit.

3-3 Performances de l'amplificateur de puissance à deux étages

Sur la Figure 11, une photo de l'amplificateur de puissance à deux étages conçu en technologie CMOS 65 nm est présentée. Les dimensions du circuit sont de $1 \times 0,6 = 0,6\ \text{mm}^2$ en considérant les plots hyperfréquences.

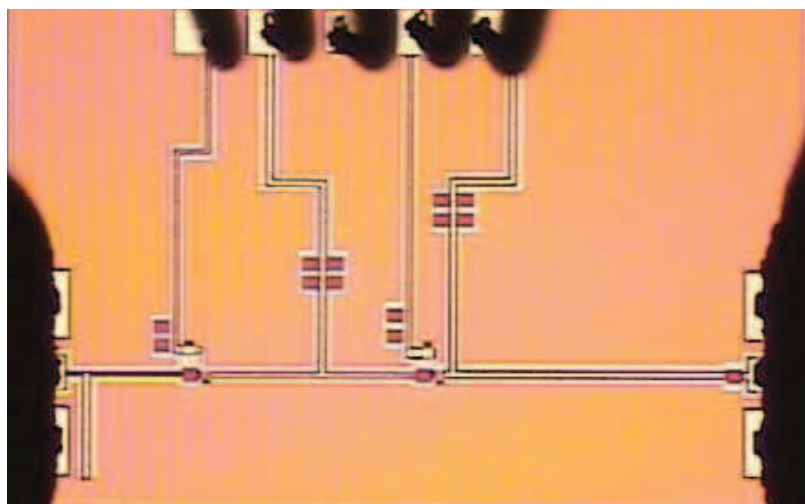


Figure 11 : Photo d'un PA à deux étages en CMOS 65 nm

Sur la Figure 12, nous traçons les performances simulées et mesurée de l'amplificateur de puissance à deux étages conçu en technologie CMOS 65nm.

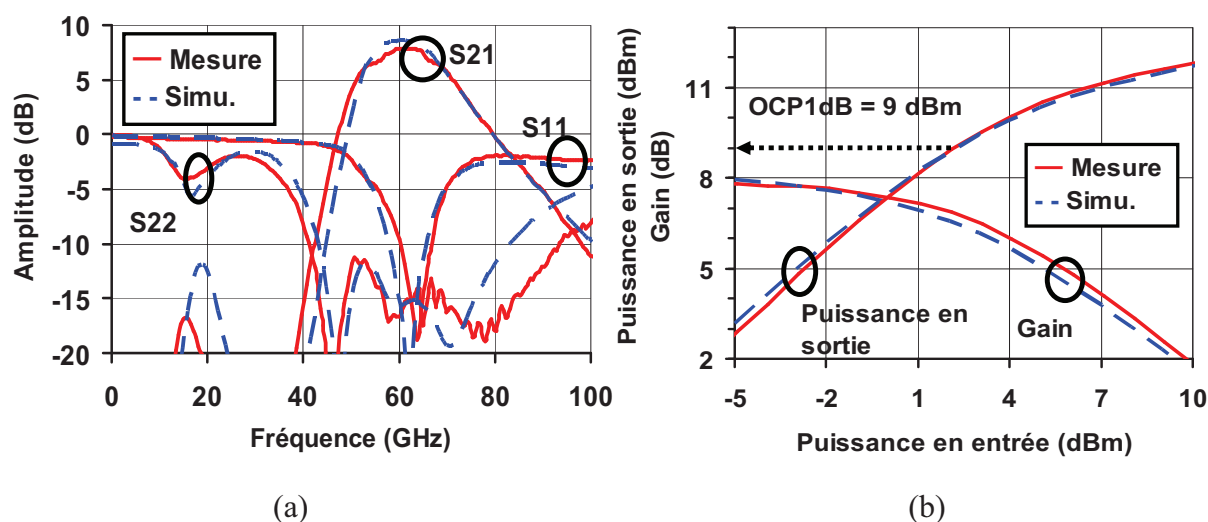


Figure 12 : Paramètres S (a), gain en puissance et puissance en sortie (b) d'un amplificateur de puissance à deux étages en CMOS 65nm

Les courbes de la Figure 12 montrent un bon accord entre les mesures et les simulations petit et grands signaux, ce qui valide nos modèles et la démarche de conception utilisée.

Nous avons regroupé les résultats de mesure et de simulation à 62 GHz dans le Tableau 3. Ces résultats sont conformes à ceux calculés précédemment.

| | fréquence (GHz) | Gain (dB) | ICP _{1dB} (dBm) | OCP _{1dB} (dBm) | S ₂₂ / S ₁₁ (dB) | Conso (mA) |
|------------|--------------------|--------------|-----------------------------|-----------------------------|---|---------------|
| mesure | 62 | 7.7 | 2 | 9 | -11/-11 | 42 |
| simulation | 62 | 7,8 | 2.5 | 9.5 | -11/-16 | 42 |

Tableau 3 : Comparaison entre les performances mesurées et simulées du PA 2 étages

Nous observons à nouveau une bonne concordance entre les résultats de mesures et de simulations à 60 GHz. Ces résultats ont été présentés à la conférence IEEE WAMIcon 2010 [13].

4 Conception d'un amplificateur de puissance hautes performances à 4 étages

Dans cette quatrième partie, en utilisant la méthode de conception développée précédemment et en se limitant aux contraintes d'électromigration à 105°C présentées au Chapitre 2, nous concevons un amplificateur de puissance à 4 étages. Les contraintes de design à 125°C étant impossible à tenir avec les topologies des transistors utilisées, nous suivons donc les contraintes d'électromigration à 105°C, nettement plus relâchées. Cependant, les contraintes drastiques de design à 105°C nous assurent quand même une grande robustesse de nos circuits aux forts courants lors des tests de fiabilité.

Une étude complète de la fiabilité de ce circuit sera faite dans le quatrième chapitre. Un tel travail permet d'estimer le temps de vie d'un PA hautes performances polarisé au maximum de tension V_{dd} autorisée.

Nous allons ensuite brièvement décrire la méthodologie de conception de ce circuit composé de quatre étages en cascade.

4-1 Méthodologie de conception de l'amplificateur

L'amplificateur de puissance est composé de quatre étages classe A en topologie source commune et est conçu en technologie CMOS 65nm. Un schéma complet de l'amplificateur est présenté sur la Figure 13. Les quatre transistors M1 à M4 le composant ont une longueur de grille de 60 nm et sont polarisés sous $V_{dd} = 1,2$ V.

La méthodologie de conception que nous utilisons est décrite dans l'organigramme de la Figure 7, adaptée à un amplificateur à plusieurs étages.

Les étages 3 et 4 sont composés des transistors M3 et M4 d'une largeur totale de 180 μm . Les étages 3 et 4 sont polarisés en classe A avec respectivement $I_{dd} = 64$ mA et 72 mA. D'après la Figure 3 lorsque l'étage 4 est chargé avec une résistance de 15 Ω , il présente un point de compression en sortie maximum de 14,2 dBm et un gain de 5 dB. Nous avons

diminué la polarisation de l'étage 3 à $I_{dd}=64$ mA pour augmenter le rendement global de l'amplificateur. Concernant l'étage 3, lorsqu'il est chargé avec une résistance de $20\ \Omega$, il présente un point de compression en sortie maximum de 12,5 dBm et un gain maximum de 5 dB.

Les étages 1 et 2 sont constitués des transistors M1 et M2 d'une largeur totale de $160\ \mu\text{m}$, et sont polarisés chacun en classe A à $I_{dd}=57$ mA. Chargés avec des résistances de charge de $20\ \Omega$, ils présentent un gain de 6 dB et un $OCP_{1dB} = 11,5$ dBm chacun.

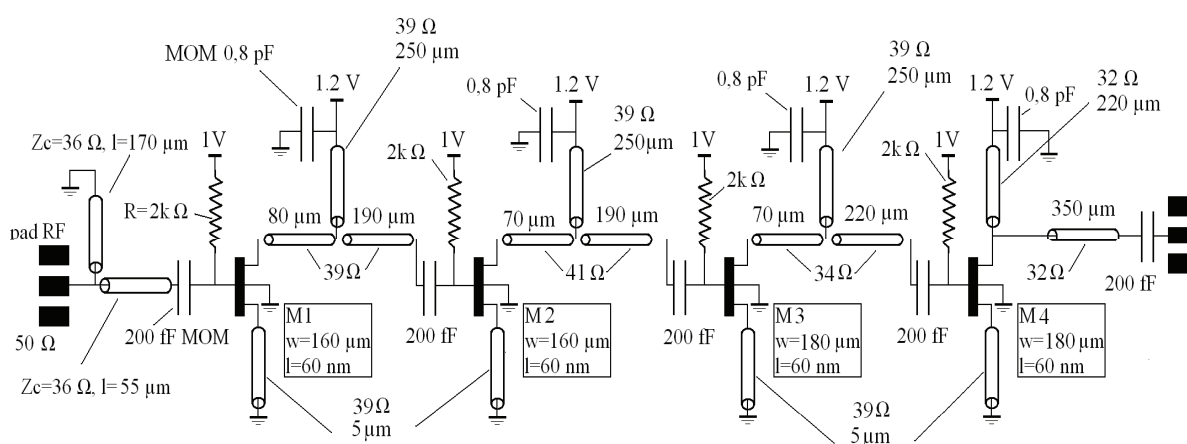


Figure 13 : Schéma du PA 4 étages avec les valeurs des éléments utilisés

Les adaptations en entrée, en sortie et inter-étages sont faites de la même manière que dans la partie 2, au moyen de stubs parallèles, de lignes séries et de capacités MOM de 200 fF. Les pertes en puissance totale de l'amplificateur, essentiellement dues aux réseaux passifs et aux accès aux transistors, sont de 8,5 dB à 58 GHz, ce qui donne un gain de puissance maximum de 14,5 dB. Le réseau de sortie présente 2 dB de perte à 58 GHz ce qui nous donne un point de compression en sortie de 12,2 dBm.

Les comparaisons entre les mesures et les simulations sont présentées dans le paragraphe suivant ainsi qu'une photo de l'amplificateur de puissance.

4-2 Performances mesurées de l'amplificateur

Une photo de l'amplificateur de puissance conçu en technologie CMOS 65 nm est présentée sur la Figure 14. Les dimensions du circuit sont de $1,6 \times 0,8 = 1,28 \text{ mm}^2$. Les plots situés au nord permettent d'amener la polarisation au drain et à la grille des deux premiers étages et les plots situés au sud permettent d'amener la polarisation aux deux derniers étages. Les plots hyperfréquences sont situés à gauche et à droite du circuit.

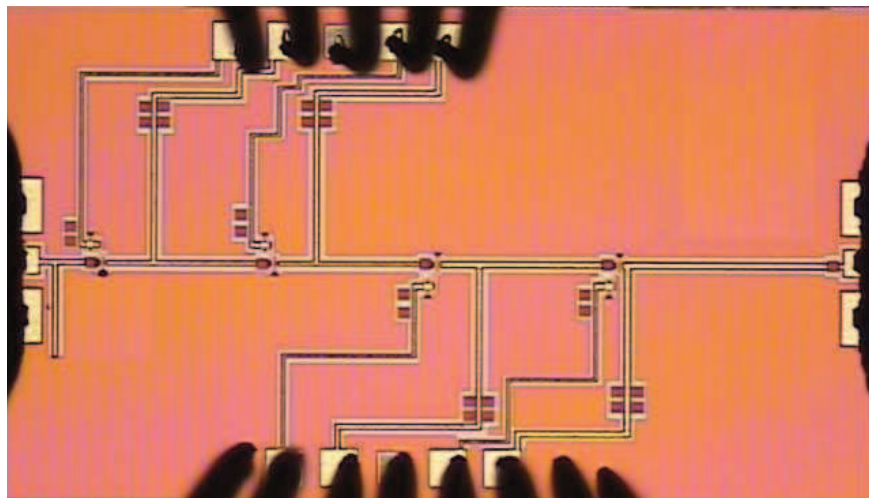


Figure 14 : Photo du PA à 4 étage conçu en CMOS 65 nm

Nous comparons sur la Figure 15 les performances simulées et mesurées en petits et en grands signaux de l'amplificateur de puissance à 4 étages.

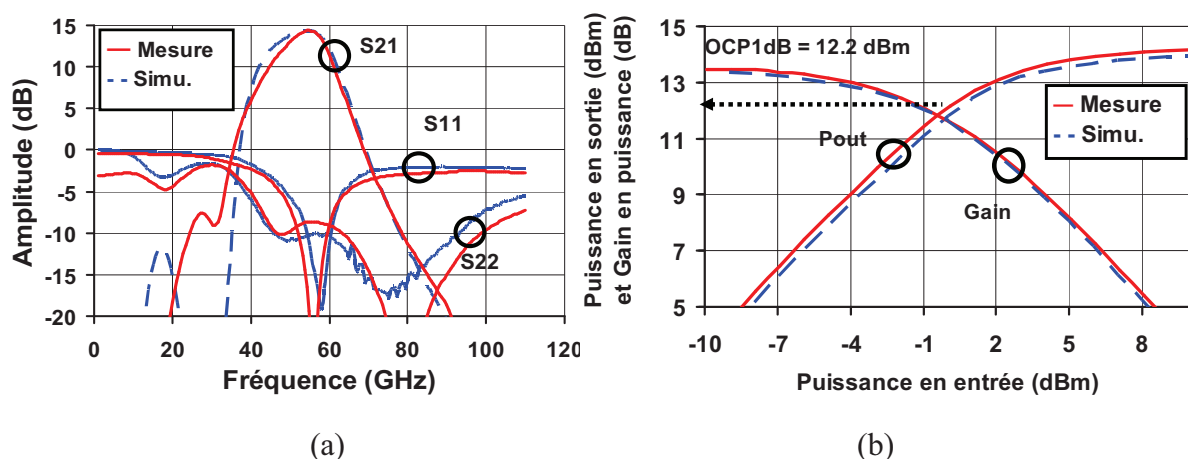


Figure 15 : Paramètres S (a), gain en puissance et puissance en sortie (b) d'un amplificateur de puissance à quatre étages en CMOS 65 nm.

La comparaison entre les mesures et les simulations montrent un excellent accord autour de 58 GHz. Néanmoins, les différences observées entre les mesures et les simulations sur l'ensemble de la bande de fréquence, proviennent essentiellement des retours de courant vers les masses que nous avons beaucoup de difficultés à modéliser. En effet, ce phénomène impacte relativement fortement les circuits de grande taille comme celui-ci. Nous devons donc rajouter une inductance de petite valeur au bout de chaque masse pour modéliser ce phénomène. Ceci explique le léger décalage en fréquence du gain du circuit.

Nous avons regroupé les résultats de mesure et de simulation à 58 GHz dans le Tableau 4. Cet amplificateur a été présenté à la conférence IEEE SiRF 2010 [12].

| | fréquence (GHz) | Gain (dB) | ICP_{1dB} (dBm) | OCP_{1dB} (dBm) | S₂₂ / S₁₁ (dB) | Conso (mA) |
|-------------------|----------------------------|----------------------|------------------------------------|------------------------------------|---|-----------------------|
| mesure | 58 | 13.4 | 1 | 12.2 | -13 / -13 | 250 |
| simulation | 58 | 13.6 | 1 | 12.5 | -13 / -13 | 250 |

Tableau 4: Comparaison entre les performances mesurées et simulées du PA à quatre étages conçu en CMOS 65nm

Ce type d'amplificateur est fortement pénalisé en termes de performance par les pertes dans les réseaux passifs qui sont de l'ordre de 8,5 dB à 58 GHz. De nouvelles structures de lignes intégrées comme les lignes à onde lentes sont à envisager.

Conclusion

Dans ce chapitre, trois amplificateurs de puissance à un, deux et quatre étages fonctionnant autour de 60 GHz conçus en technologie CMOS 65nm et dédiés aux tests de fiabilité, ont été présentés. Le bon accord entre les mesures et les simulations du PA à un étage nous ont permis de valider les modèles d'éléments passifs et actifs développés dans les chapitres précédents. Un effort particulier a été fait sur le développement d'une méthodologie de conception prenant en compte un compromis entre gain, point de compression et contraintes des règles d'électromigration.

Ces circuits répondent au cahier des charges permettant d'étudier les mécanismes de vieillissement des transistors MOS :

- avoir une excellente confiance en nos modèles d'éléments actifs et passifs à 60 GHz afin de simuler correctement les dégradations et ainsi valider ou non le modèle de vieillissement ;
- avoir des circuits robustes aux forts courants pour être utilisés dans des tests de vieillissement où les circuits sont stressés avec des tensions supérieures à leur tension d'alimentation normales pour accélérer le vieillissement.

Concernant l'amplificateur hautes performances à quatre étages, les résultats de mesures sont conformes aux simulations. Ce circuit est au dessus de l'état de l'art des amplificateurs simple en topologie source commune, en termes de performances.

Fort de ces trois amplificateurs de puissance, nous allons étudier leur fiabilité dans le chapitre suivant et ainsi calculer pour la première fois leur temps de vie.

Références

- [1] D. M. Kang, J. Y. Hong, J. Y. Shim, J. H. L. Hyung, S. Yoon, K. H. Lee, "A 77GHz automotive radar MMIC chip set fabricated by a 0.15 μ m MHEMT technology", IEEE MTT Symp., pp. 2111-2114, June 2005.
- [2] M. Bohsali and A. M. Niknejad, "Current Combining 60GHz CMOS Power Amplifiers," IEEE RFIC Symp., pp. 31-34, June. 2009.
- [3] A. Valdes-Garcia et al. "60 GHz Transmitter Circuits in 65nm CMOS ", IEEE RFIC Symp., pp. 641-644, June 2008.
- [4] T. Yao, et al., "Algorithmic Design of CMOS LNAs and PAs for 60-GHz Radio," IEEE J. Solid-State Circuits, vol. 42, no. 5, pp. 1044-1057, May 2007.
- [5] A. Komijani and A. Hajimiri, "A Wideband 77GHz, 17.5dBm Power Amplifier in Silicon" Proc. IEEE CICC, pp. 571-574, Sept. 2005.
- [6] Jing-Lin Kuo et al. "A 50 to 70 GHz Power Amplifier Using 90 nm CMOS Technology", IEEE Microwave and wireless comp. Let. , Vol. 19, no. 1, pp 45-47; Jan. 2009.
- [7] Kuba Raczkowski et al., "50-to-67GHz ESD-Protected Power Amplifiers in Digital 45nm LP CMOS," IEEE ISSCC, pp. 382-384, February 2009.
- [8] Jie-Wei Lai¹, Alberto Valdes-Garcia, "A 1V 17.9dBm 60GHz Power Amplifier in Standard 65nm CMOS IEEE", IEEE ISSCC, pp. 424-425, Feb. 2010.
- [9] Chi Y Law, Anh-Vu Pham, "A High-Gain 60GHz Power Amplifier with 20dBm Output Power in 90nm CMOS", IEEE ISSCC, pp. 426-427, Feb. 2010.

- [10] Baudouin Martineau et al., "A 53-to-68GHz 18dBm Power Amplifier with an 8-Way Combiner in Standard 65nm CMOS", IEEE ISSCC, pp. 428-429, Feb. 2010.
- [11] L. Hayden, "An enhanced Line-Reflect-Reflect-Match calibration", 67th ARFTG Microwave Measurement Conference, San Francisco, CA, USA, June 2006, pp. 143-149.
- [12] T. Quémerais, L. Moquillon, S. Pruvost, J.-M. Fournier, P. Benech, N. Corrao, "A CMOS Class-A 65nm Power Amplifier for 60 GHz Applications", IEEE SiRF, New Orleans, USA, pp. 120-123, Jan. 2010.
- [13] T. Quémerais, L. Moquillon, J.-M. Fournier, P. Benech, N. Corrao, "Methodology of Design of Millimeter Wave Power Amplifiers complying with 125°C Electromigration Design Rules in advanced CMOS technology", IEEE WAMIcon, Melbourne Beach, USA, pp. 1-4, Apr. 2010.
- [14] International Technology Roadmap for Semiconductors, 2007 edition.

Chapitre 4

L'étude de la fiabilité des amplificateurs de puissances à 60 GHz en technologie CMOS 65 nm

Introduction

Dans ce chapitre, nous menons une étude complète de la fiabilité à 60 GHz des amplificateurs de puissance que nous avons réalisés en technologie CMOS 65nm.

L'étude de la fiabilité d'un circuit consiste à regarder la dégradation de ses paramètres caractéristiques au cours du temps. Rappelons que le seul composant susceptible de vieillir dans un circuit, si les règles d'électromigration sur les interconnexions métalliques sont respectées, est le composant actif (dans notre cas, le transistor MOS). Une étude du vieillissement d'un amplificateur revient donc à étudier l'impact de la dégradation des transistors qui le composent sur ses paramètres caractéristiques comme le gain ou le point de compression.

Un des aspects clef de la fiabilité est d'avoir une bonne compréhension de la physique des mécanismes de dégradation des composants actifs d'un circuit. Dans le Chapitre 2 de ce mémoire, nous avons montré que les transistors MOS sont surtout dégradés par le phénomène de l'injection des porteurs chauds. Le modèle quasi-statique présenté dans le deuxième chapitre est intégré dans nos logiciels de CAO. Pour établir et valider ce modèle, des tests de fiabilité utilisant des stress statiques sont effectués. Cependant, pour une utilisation dans les circuits RF, il est d'une importance cruciale de savoir si ce modèle est encore valable, pour rendre compte du vieillissement des amplificateurs soumis à des conditions de fonctionnement en RF.

Dans la littérature, des études de fiabilité des circuits soumis à un stress RF ont été menées jusqu'à des fréquences de l'ordre de quelques GHz [1]. Ces études sont principalement faites sur des amplificateurs faible bruit fonctionnant à des fréquences inférieurs à 2 GHz [7] - [8] et sur des amplificateurs de puissance fonctionnant aussi à relativement basse fréquences [10] - [11]. Ce travail n'a jamais été effectué aux fréquences millimétriques. L'une des principales raisons est qu'il est délicat de réaliser des expériences

précises de fiabilité dans ces domaines de fréquence. En effet l'appareillage utilisé est lourd et couteux et il est difficile de maîtriser les niveaux de puissance.

L'étude de la fiabilité d'amplificateurs de puissance la plus aboutie actuellement est présentée dans la thèse de G. T. Sasse [1]. Il montre une étude complète ainsi qu'un modèle de dégradation des transistors MOS utilisé dans un amplificateur de puissance et valable jusqu'à quelques GHz. Il y démontre que le mécanisme de dégradation des MOS par porteurs chauds ne présente pas de dépendance fréquentielle pour des stress utilisant des signaux sinusoïdaux avec des fréquences comprises entre plusieurs MHz et quelques GHz. Cela signifie que, pour prédire la dégradation des transistors MOS et par conséquent celle d'un circuit actif RF, les modèles sont les mêmes que pour les circuits fonctionnant à basse fréquence. Donc, pour le mécanisme de dégradation par porteurs chauds, un modèle quasi-statique est suffisant pour prédire la durée de vie des circuits fonctionnant à basse fréquence. Nous regardons la validité de cette hypothèse aux fréquences millimétriques.

L'objectif de nos travaux de recherche est donc d'étudier la validité à 60 GHz du modèle quasi-statique de vieillissement par porteurs chauds des transistors MOS, développé par C. Parthasarathy [2]. Ce modèle n'est initialement validé qu'en statique. Une fois ce modèle validé, nous pouvons l'utiliser pour extrapoler le temps de vie de nos amplificateurs. Cette étude a été réalisée en faisant des mesures de vieillissement sous vide avec un stress statique pour ajuster le modèle au silicium puis à un stress dynamique à 60 GHz pour le valider à ces fréquences.

1 Le principe de l'étude de la fiabilité d'un amplificateur de puissance

Cette partie permet d'exposer le principe de l'étude de la fiabilité d'un amplificateur de puissance. En effet, regarder l'évolution dans le temps des caractéristiques d'un amplificateur de puissance revient à étudier la dégradation des transistors MOS qui le composent. Ces transistors sont soumis à des stress de tension élevés pouvant atteindre deux fois la tension d'alimentation ($2 \times V_{dd}$) lors d'un fonctionnement de l'amplificateur en régime sinusoïdale (classe A dans notre cas).

Dans l'industrie, on dit qu'un amplificateur est fiable si ses paramètres caractéristiques ont dérivé de moins de 10 % après 10 ans de fonctionnement. Cependant la dérive acceptable dépend bien entendu de l'application visée. Ce test de fiabilité se fait en accélérant le vieillissement de l'amplificateur, dont le principe est expliqué dans le paragraphe suivant.

1-1 Statistique du vieillissement et répétitivité des mesures

Les tests de vieillissement s'accompagnent souvent d'études statistiques lors de l'exploitation des résultats. En effet des phénomènes de dispersion de la dégradation des transistors MOS peuvent apparaître lors de tests. C'est-à-dire que pour les mêmes conditions de stress, la dégradation peut varier d'une puce à l'autre. De plus, la dispersion de la dégradation est une fonction inversement proportionnelle à la racine carrée de la largeur totale W des transistors MOS. Ceci signifie qu'il n'y a pas de phénomène de dispersion de la dégradation dans des transistors de grande taille ou du moins que la dispersion n'est pas décelable. Plus précisément, elle est significative pour des transistors dont les dimensions W du canal sont inférieures à 30 μm . Les transistors que nous utilisons dans nos amplificateurs de puissance ont des dimensions supérieures à 30 μm , donc nous observerons une dégradation sans dispersion d'une puce à l'autre.

Ensuite, pour s'assurer de la répétitivité des mesures, nous appliquons parallèlement sur deux puces identiques, les mêmes conditions de stress. Ainsi nous vérifierons la non-dispersion de la dégradation de nos circuits au cours du temps.

1-2 La simulation du vieillissement sous Mentor Graphics Eldo

Pour effectuer des simulations de fiabilité, le modèle de dégradation par porteurs chauds décrit précédemment doit être disponible pour le concepteur. Cela se fait via l'API (Application Programming Interface) destinée spécifiquement au calcul de fiabilité et disponibles à l'intérieur du simulateur Eldo. Cette simulation est synthétisée dans le diagramme de la Figure 1 :

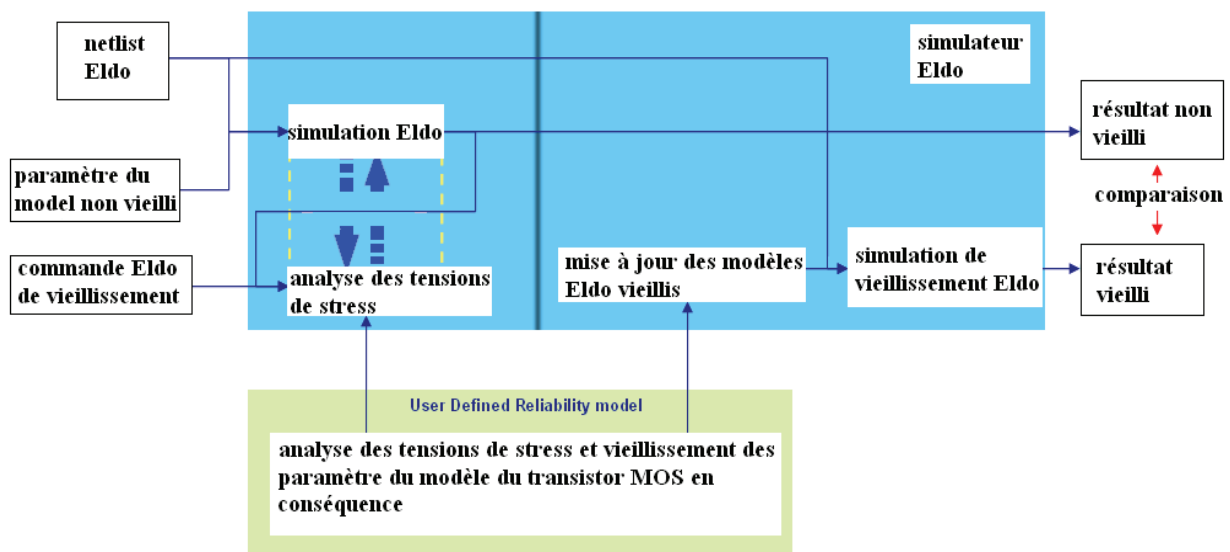


Figure 1 : Diagramme résumant la simulation de dégradation avec Eldo

En règle générale, l'analyse de la fiabilité consiste à faire deux simulations, l'une avant vieillissement, et l'autre après vieillissement, afin d'observer la variation des paramètres. La simulation faite avant le vieillissement permet de fournir les indications sur le comportement du transistor au cours du temps. Les niveaux des tensions de stress (V_{ds} et V_{gs}) sont ainsi examinés à chaque instant t et enregistrés séparément pour chacun des MOS du circuit. Au cours de la simulation, Eldo utilise l'équation (1) pour modéliser la dégradation des paramètres du transistor MOS. Puis, les dommages causés au transistor sont extrapolés après un temps T_L spécifié par le concepteur.

L'équation (1), démontrée dans le Chapitre 2, donne la valeur de la dégradation d'un paramètre électrique D du transistor MOS en fonction du temps :

$$\Delta D(t) = \left(\left(\frac{I_{ds}}{W.H} \right) \left(\frac{I_b}{I_{ds}} \right)^m \right)^n . t^n \quad (1)$$

où t est la durée du stress, I_{ds} le courant de drain du transistor, W sa largeur de grille, I_b le courant de substrat déterminé dans le Chapitre 2 et H , n , m des coefficients dépendants de la technologie et à déterminer par les tests.

En prenant la racine $n^{ième}$ de l'équation (1), nous obtenons une équation proportionnelle au temps:

$$\Delta D(t)^{\frac{1}{n}} = \frac{I_{ds}}{W.H} \cdot \left(\frac{I_b}{I_{ds}} \right)^m . t \quad (2)$$

nous pouvons écrire l'équation (2) et ainsi déterminer la dégradation d'un paramètre au bout d'une durée T_s de stress en continu :

$$\Delta D(T_s)^{\frac{1}{n}} = \int_0^{T_s} \frac{I_{ds}}{W.H} \cdot \left(\frac{I_b}{I_{ds}} \right)^m . dt \quad (3)$$

Finalement, à partir d'une simulation de la dégradation sur un temps de stress T_s réduit, on peut extrapoler la dégradation correspondant à un temps beaucoup plus long T_L par la relation :

$$Dégradation(T_L) = \Delta D(T_L)^{\frac{1}{n}} = \frac{\Delta D(T_s)^{\frac{1}{n}}}{T_s} . T_L \quad (4)$$

1-3 Le calcul du temps de vie d'un dispositif

Le temps de vie d'un dispositif est défini en fonction de la dégradation de ses paramètres. Généralement, lorsqu'un paramètre caractéristique d'un dispositif (par exemple, le gain, point de compression, l'adaptation en entrée et en sortie) dérive de plus de 10 % au bout d'une durée $T_L=10$ ans d'utilisation, il est considéré comme non viable dans le cadre de son utilisation dans un produit.

En utilisant le modèle de vieillissement par porteurs chauds exposé précédemment et en effectuant des mesures de fiabilité de type industriel (un grand nombre de lots, différents type de stress, différents temps de stress), nous pouvons élaborer un modèle qui prévoit fidèlement la dérive des paramètres caractéristiques des transistors MOS. De plus, compte tenu de la dépendance de la dégradation par porteurs chauds d'un transistor MOS en fonction de la tension drain-source V_{ds} et de la température, nous pouvons accélérer son vieillissement en augmentant soit sa tension d'alimentation V_{dd} , soit la température. Nous choisissons d'accélérer le vieillissement des amplificateurs de puissance en augmentant leur tension d'alimentation. Ceci nous permet de mesurer pendant le temps d'une expérience en laboratoire de quelques dizaines d'heures, une dégradation importante et significative. De plus, l'augmentation de la tension à des valeurs raisonnables (nettement en dessous de la tension de claquage de l'oxyde par exemple) ne fait pas apparaître de mécanismes de dégradation parasite mais uniquement celui des porteurs chauds dans notre cas.

2 Méthodologie d'étude de la fiabilité des amplificateurs de puissance à 60 GHz en technologie CMOS 65nm

Dans cette partie, nous présentons les étapes de la méthodologie que nous avons utilisée pour l'étude de la fiabilité des amplificateurs de puissance fonctionnant à 60 GHz.

2-1 Description de la méthodologie

2-1-1 Ajustement du modèle de vieillissement sur le silicium

La première partie de cette méthodologie consiste à ajuster le modèle quasi-statique en faisant vieillir les amplificateurs en les soumettant exclusivement à un stress statique sans qu'ils soient alimentés par le signal RF à 60GHz

Nous avons dans une première étape, ajusté le modèle de vieillissement en statique en utilisant l'amplificateur à 1 étage que nous avons réalisé. Pour cela nous soumettons ce circuit à des tensions de stress V_{dd} suffisamment élevées pour observer une dégradation au bout d'un temps d'expérimentation raisonnable. Nous accélérons donc le vieillissement de l'amplificateur de puissance. Nous prenons un jeu de trois stress différents : $V_{dd} = 1,56$ V, 1,76 V et 1,83 V. Nous faisons ce travail sur deux puces différentes pour vérifier la reproductibilité des mesures et la non-dispersion des dégradations. Nous choisissons de stresser les amplificateurs de puissance pendant 44 heures maximum en faisant des mesures de leurs paramètres caractéristiques après 1h, 10h, 20h et 44 h de stress.

La calibration du modèle se fait en ajustant les coefficients H , n , m de l'équation (1) pour que la dégradation simulée soit la même que celle mesurée, avec une seule tension de stress. Puis nous vérifions la validité du modèle en comparant les résultats expérimentaux et les simulations pour les deux autres tensions de stress. Dans une deuxième étape, pour étendre la validation du modèle à d'autres tailles de transistors, nous comparons les simulations avec des tests expérimentaux de vieillissement effectués sur un amplificateur de puissance à quatre étages, en utilisant une tension V_{dd} de 1,7 V. Ces deux étapes sont résumées dans le Tableau 1.

| Étapes | Type de mesures | Nombre et type de puces | Objectif |
|--------|---|---------------------------------|--|
| 1 | Stress DC: - V_{dd} = 1.83 V pendant 44h - V_{dd} = 1.76 V pendant 44h - V_{dd} = 1.56 V pendant 44h | 2 puces par test PA 1 étage | Calibrer le modèle de vieillissement : ajuster le modèle sur les mesures |
| 2 | Stress DC: - V_{dd} = 1.7 V pendant 50h | 2 puces par test PA 4 étages | Valider le travail précédent sur un PA à haute performances |

Tableau 1 : Description des étapes du test de vieillissement par des stress statiques.

2-1-2 Validation du modèle de vieillissement à 60 GHz

La deuxième partie de notre méthodologie concerne la validation du modèle à 60 GHz. Pour ce faire, nous allons comparer les simulations de vieillissement des PAs utilisant le modèle quasi-statique ajusté dans l'étape précédente, avec les résultats de tests expérimentaux de vieillissement dynamique à 60 GHz. Ce travail permet de vérifier si le modèle quasi-statique est encore valide pour rendre compte du vieillissement des amplificateurs à 60 GHz et dans ce cas l'utiliser pour extraire le temps de vie de ces amplificateurs. Nous vérifions aussi les éventuelles lacunes du modèle telles que le vieillissement des capacités intrinsèque du transistor MOS qui ne sont pas prises en compte. Ensuite, pour accélérer le vieillissement des circuits, leur tension d'alimentation V_{dd} est tout d'abord augmentée. En même temps nous envoyons un signal à 60 GHz en entrée du circuit d'une puissance P_e . Nous choisissons deux types de stress : V_{dd} = 1,65 V avec P_e = 0 dBm et V_{dd} = 1,90 V avec P_e = - 10 dBm pour le PA 1 étage (Tableau 2). Puis nous choisissons V_{dd} = 1,78 V avec P_e = 0 dBm et V_{dd} = 1,94 V avec P_e = - 10 dBm pour le PA 4 étages (Tableau 2).

| Étapes | Type de mesures | Nombre et type de puces | Objectif |
|--------|--|---------------------------------|--|
| 1 | Stress RF: - V_{dd} = 1.65 V avec P_e =0 dBm pendant 50h - V_{dd} = 1.90 V avec P_e =-10 dBm pendant 50h | 2 puces par test PA 1 étage | Vérifier la validité ou non du modèle quasi-statique à 60 GHz |
| 2 | Stress RF: - V_{dd} = 1.78 V avec P_e =0 dBm pendant 50h - V_{dd} = 1.94 V avec P_e =-10 dBm pendant 50h | 2 puces par test PA 4 étages | Valider le travail précédent sur un PA haute performances et en extraire le temps de vie |

Tableau 2 : Description des étapes du test de vieillissement par des stress dynamiques.

L'ensemble de la méthodologie regroupant les deux parties décrites précédemment est décrit dans l'organigramme présenté sur la Figure 2.

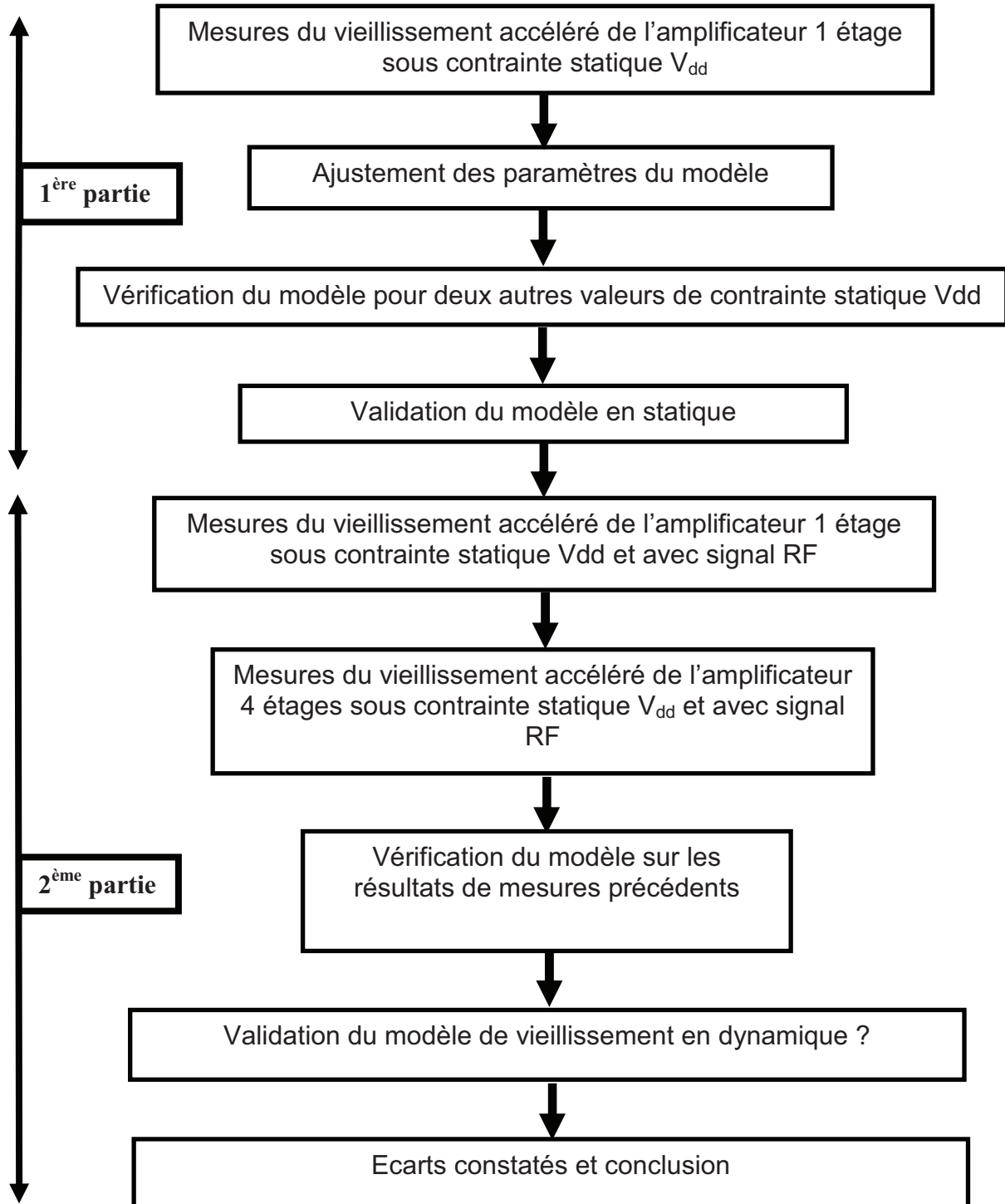


Figure 2 : Organigramme résumant la méthodologie d'étude de la fiabilité

2-2 La description du banc de test de vieillissement

Avant de démarrer les stress de vieillissement sur les amplificateurs, certaines précautions sont à prendre. Il faut limiter au maximum le nombre de posés de pointes sur les plots RF et DC des circuits afin de ne pas trop les détériorer. En effet, la résistance de contact entre les pointes de mesures et les plots augmente et vient fausser la valeur du stress appliqué sur les amplificateurs. Pour remédier à ce problème, nous choisissons d'appliquer deux stress différents par puce et de faire deux mesures des performances de ces puces, ce qui implique quatre posés de pointes par circuits.

Nous avons ensuite mis au point une méthode de test sous pointes permettant de contrôler parfaitement les niveaux des tensions appliqués à nos amplificateurs. Ce banc permet d'appliquer des stress pendant un temps relativement long sans être gêné par des phénomènes tels que l'oxydation des pointes de mesure. Pour éviter cette oxydation, nous avons décidé de faire les tests de vieillissement dans une enceinte sous un vide secondaire de 10^{-5} mbar. Nous plaçons notre dispositif à faire vieillir ainsi que les pointes de mesure RF et DC dans un bâti Cryogénique Karl Suss, disponible à l'IMEP-LHAC, dans lequel nous faisons un vide secondaire.

Le signal RF à 60 GHz est envoyé au dispositif grâce à un générateur de puissance Agilent. L'étalonnage en puissance est fait via une sonde de puissance Agilent V8486A couplée à un détecteur de puissance Agilent E4418B. Les câbles d'accès au bâti sous vide et les passes paroi air/vide présentent une atténuation de 14 dB. Compte-tenu de cette atténuation élevée, le niveau maximum de puissance disponible en entrée des dispositifs sous test est de 1 dBm à 60 GHz, ce qui est suffisant dans notre cas.

Nous présentons sur la Figure 3 (a) un schéma détaillé du banc de mesures des paramètres petits et grands signaux des amplificateurs de puissance et sur la Figure 3 (b) une photo du bâti sous vide utilisé pour le vieillissement. Le banc de mesure est détaillé dans l'Annexe 1.

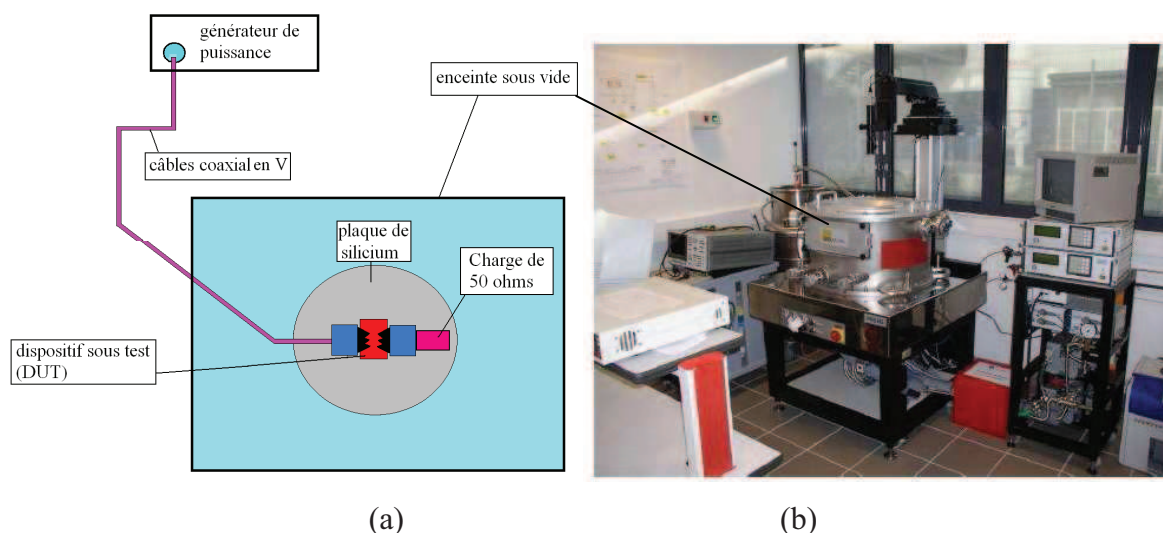


Figure 3 : Schéma de principe (a) et photo (b) du banc de test de fiabilité sous vide à 60 GHz.

2-3 Les paramètres mesurés pendant les tests de vieillissement

Les paramètres caractéristiques d'un amplificateur de puissance (cf. Chapitre 3) sont le gain en puissance G_p , son point de compression en entrées ICP_{1dB} , son point de compression en sortie OCP_{1dB} et son adaptation en entrée S_{11} . Nous regardons leur dérive dans le temps en fonction des niveaux de stress appliqués. De plus, dans un amplificateur de puissance à un étage en topologie source commune, il est assez simple de mesurer la variation relative des paramètres caractéristiques du transistor MOS par des mesures statiques. En effet, des mesures du courant $I_{ds}(V_{ds})$ et $I_{ds}(V_{gs})$, nous extrayons la transconductance du transistor MOS g_m et sa tension de seuil V_{th} .

2-4 Les relations entre les grandeurs caractéristiques des transistors MOS et des amplificateurs de puissance

Dans ce paragraphe, nous relierons la dégradation relative des transistors MOS à celle des amplificateurs de puissance.

Une telle démarche a déjà été développée dans la littérature [7] avec un amplificateur à faible bruit. Pour ce faire, nous allons relier la transconductance g_m , la tension de seuil V_{th} et la mobilité des porteurs μ_n des transistors MOS au gain en puissance, au point de compression et à la puissance à la saturation des amplificateurs de puissance.

Tout d'abord, nous étudions les liens entre les principaux paramètres électriques des transistors MOS. L'expression de la transconductance en fonction de la tension de seuil et de la mobilité des porteurs est donnée par l'équation suivante :

$$gm = \frac{\partial I_{ds}}{\partial V_{ds}} = \frac{\mu_n \cdot C_{ox} \cdot W \cdot (V_{gs} - V_{th})}{L} \text{ [S]} \quad (5)$$

Nous pouvons relier entre elles les variations relatives de la transconductance, de la tension de seuil et de la mobilité des porteurs:

$$\frac{\Delta gm}{gm} = -\frac{\Delta V_{th}}{V_{th}} + \frac{\Delta \mu_n}{\mu_n} \quad (6)$$

Notons que la résistance dynamique drain-source r_{ds} est une grandeur difficile à relier à V_{th} et μ_n car elle dépendant de nombreux autres paramètres issus des effets de canaux courts des transistors MOS (cf. Chapitre 2).

Dans le cas de l'amplificateur à un étage, la résistance r_{ds} est de l'ordre de 200 Ω , valeur relativement élevée par rapport à celle de la résistance de charge qui est de $R_{load}=60 \Omega$. Dans ces conditions, lorsque l'adaptation en entrée et en sortie est réalisée et d'après [15], nous pouvons approximer le gain en puissance par la relation :

$$G_p \approx 10 \cdot \log \left(\frac{1}{2} \frac{gm^2 \cdot R_{load}}{C_{gs}^2 \cdot \omega^2 \cdot Z_0} \right) \text{ [dB]} \quad (7)$$

où R_{load} est la résistance de charge de notre étage, $Z_0=50 \Omega$ est l'impédance d'entrée de l'étage et C_{gs} la capacité drain-source intrinsèque du transistor MOS.

La variation relative du gain peut donc facilement s'exprimer en fonction de celle de la transconductance du transistor MOS par la relation :

$$\frac{\Delta G_p}{G_p} = 2 \cdot \frac{\Delta gm}{gm} \quad (8)$$

D'après la théorie de la droite de charge présentée dans [13] et [14], le point de compression en sortie et la puissance en sortie d'un amplificateur classe A à 1 étage sont tous les deux proportionnels au courant de drain et s'écrivent :

$$OCP_{1dB} \approx 10 \cdot \log \left(\frac{I_{ds} \cdot (V_{dd} - V_{dsat})}{3} \right) \text{ [dBm]} \quad (9)$$

$$P_{sat} \approx 10 \cdot \log \left(\frac{I_{ds} \cdot (V_{dd} - V_{dsat})}{2} \right) \text{ [dBm]} \quad (10)$$

où V_{dsat} est la tension drain-source à la saturation. Elle est dépendante de la technologie et est proche ici de 0,3 V. De plus, en considérant en première approximation que le courant I_{ds} est proportionnel à $\mu_n \cdot (V_{gs} - V_{th})^2$, nous pouvons donc écrire la variation relative de la puissance à la saturation et du point de compression en sortie en fonction de la variation relative de μ_n et V_{th} comme:

$$\frac{\Delta P_{sat}}{P_{sat}} = \frac{\Delta OCP_{1dB}}{OCP_{1dB}} \approx \frac{\Delta I_{ds}}{I_{ds}} \approx -2 \cdot \frac{\Delta V_{th}}{V_{th}} + \frac{\Delta \mu_n}{\mu_n} \quad (11)$$

Les équations (5) à (11) sont approximatives mais nous permettent de comprendre quelles sont les paramètres électriques des transistors MOS entrant principalement en ligne de compte dans la dégradation des amplificateurs de puissance.

Pour établir ces relations dans le cas de notre amplificateur de puissance à quatre étages, l'importante taille des transistors MOS devient problématique. En effet, ils ont une dégradation de leurs paramètres électriques qui ne répond pas aux mêmes équations que celles décrites précédemment. La ligne d'accès aux sources de chacun des doigts, qui peut être modélisée par une impédance inductive équivalente Z_L , vient fortement dégénérer le transistor MOS de transconductance $gm_{intrinsèque}$. Ainsi sa transconductance globale gm_0 s'écrit alors :

$$gm_0 = \frac{gm_{intrinsèque}}{1 + gm_{intrinsèque} \cdot Z_L} \text{ [S]} \quad (12)$$

Par conséquent la variation relative de la transconductance globale des transistors MOS de grande taille s'écrit :

$$\frac{\Delta gm_0}{gm_0} = \frac{\Delta gm_{intrinsèque}}{gm_{intrinsèque}} \cdot \frac{1}{1 + gm_{intrinsèque} \cdot Z_L} \quad (13)$$

Z_L peut être modélisée par une inductance de valeur de 15 pH en série avec une résistance pour les transistors MOS de largeur $W=160\mu\text{m}$ et 20 pH pour ceux de largeur $W=180\mu\text{m}$. La

résistance série est de $0,4 \Omega$ ce qui implique $g_{m_{\text{intrinsèque}}} \times Z_L > 1$. Donc, plus le transistor est large, plus la dégradation de sa transconductance est atténuée.

Dans la partie suivante, nous présentons les comparaisons entre les mesures et les simulations de la dégradation au cours du temps des performances des amplificateurs de puissance à 60 GHz réalisés en technologie CMOS 65 nm, afin de valider la méthodologie d'étude de la fiabilité et les relations entre les dégradations relatives des paramètres des transistors MOS et des PAs.

3 Résultats de mesure du vieillissement des amplificateurs de puissance

Dans cette partie, nous présentons les résultats de mesure des paramètres caractéristiques avant et après dégradation, des amplificateurs de puissances à un et quatre étages, avec les simulations utilisant le modèle de vieillissement quasi-statique présenté au Chapitre 2 et développé par de C. Parthasarathy [2].

Nous suivons l'ordre chronologique de notre méthodologie d'étude de la fiabilité. Nous regardons tout d'abord le vieillissement des amplificateurs de puissance par un stress statique. Le modèle est ajusté pour une seule tension de stress et vérifié avec les autres.

3-1 L'ajustement et la validation du modèle de vieillissement pour des stress statiques

3-1-1 Validation sur les caractéristiques statiques du transistor MOS

Comme nous l'expliquons dans la partie 2, il s'agit de la première partie de la méthodologie. Nous mesurons dans un premier temps l'impact du vieillissement d'un stress de 1,76 V pendant 44h sur les paramètres caractéristiques $I(V_{ds})$ et $I(V_{gs})$ du transistor MOS seul, inclus dans l'amplificateur à un étage. Puis le modèle de vieillissement quasi-statique est ajusté sur ces mesures $I(V)$ de façon à ce que les simulations correspondent aux mesures. La validation du modèle est ensuite effectuée en comparant (Figure 4) les mesures et les simulations issues du modèle quasi-statique ainsi ajusté, avant et après un stress de 44 heures avec une tension différente $V_{dd} = 1,76V$.

Le bon accord obtenu démontre la validation du modèle. De plus, après extraction sur la Figure 4, nous mesurons une diminution de g_m de 4 %, une augmentation de V_{th} de 5 % après le stress de vieillissement. D'après l'équation (6), nous pouvons en déduire que la mobilité des porteurs a diminué d'à peu près 1 %. Notons que l'incertitude sur les variations des paramètres mesurées est assez grande.

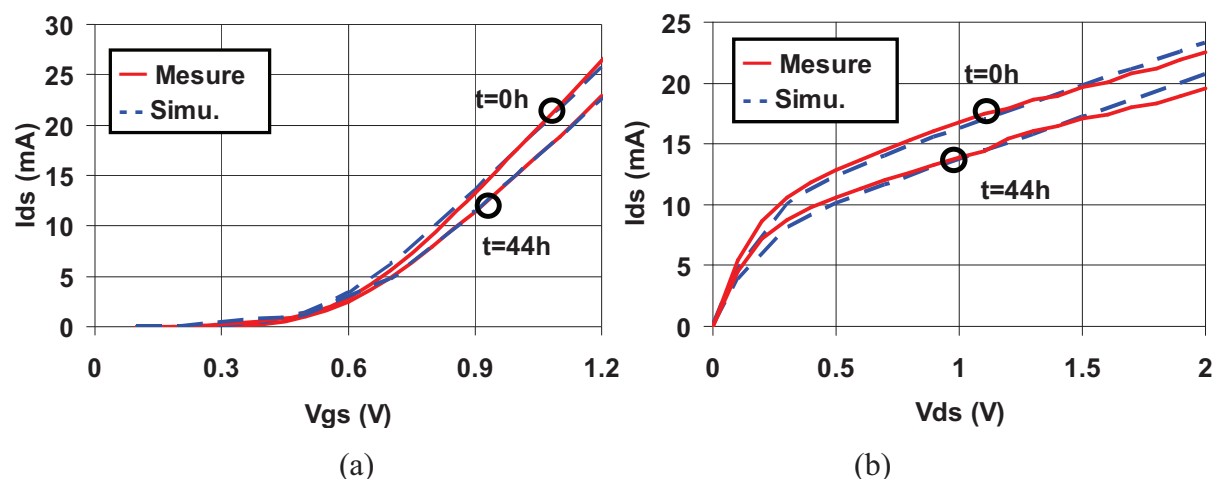


Figure 4 : Mesures de $I_{ds}(V_{gs})$ avec $V_{dd}=1,2$ V (a) et $I_{ds}(V_{ds})$ avec $V_{gs}=0,9$ V (b) avant vieillissement et après un stress de 1,76 V pendant 44 heures

Une fois l'ajustement du modèle effectuée en statique avec une tension de stress de 1,76 V, nous vérifions la validité du modèle sur les paramètres petits et grands signaux de l'amplificateur à un étage après un stress différent de 1,56 V.

3-1-2 Validation du modèle et mesures du vieillissement de l'amplificateur à un étage après un stress statique

Sur la Figure 5 nous comparons les mesures et les simulations de l'amplitude des paramètres S_{21} (a) et S_{11} (b) avant et après le stress de 1,56 V pendant 44 h avec une mesure intermédiaire à 10 h.

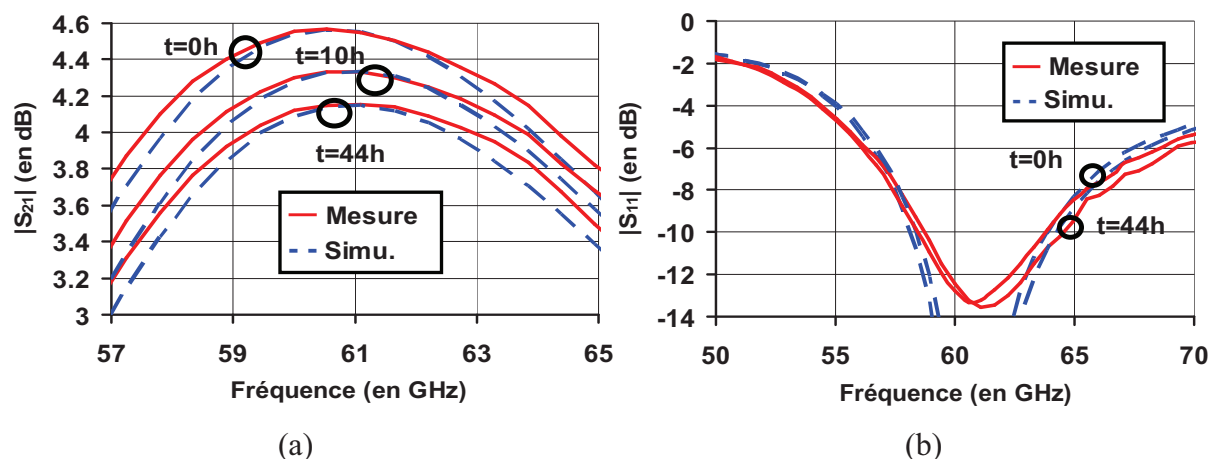


Figure 5 : Comparaison entre les mesures et les simulations des paramètres S_{21} (a) et S_{11} (b) avant et après un stress de 1,56 V pendant 44 h avec une mesure à 10 h.

Les résultats présentés sur la Figure 5 montrent un bon accord entre les mesures et les simulations de la dégradation. Le modèle de vieillissement quasi-statique ajusté avec la méthode précédente permet donc de rendre compte complètement de la dégradation des paramètres petit signaux d'un amplificateur de puissance lors d'un stress statique.

Nous mesurons une diminution du gain de 8 % à 60 GHz et une diminution de 3 % des paramètres S_{11} et S_{22} à 60 GHz. D'après ces mesures et extractions, les équations (6) et (8) sont donc validées.

Sur la Figure 6 nous présentons la comparaison entre la mesure et la simulation de la puissance en sortie avant et après le stress.

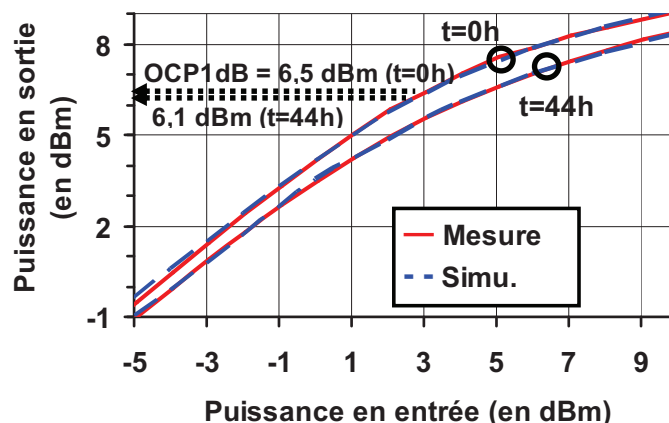


Figure 6 : Comparaison entre la mesure et la simulation de la puissance en sortie avant et après un stress de 1,56 V pendant 44 h.

Là encore, nous constatons un très bon accord entre les mesures et les simulations de la dégradation. Le modèle de vieillissement quasi-statique permet donc de rendre compte complètement de la dégradation des paramètres grands signaux lors d'un stress statique. La puissance à la saturation P_{sat} et le point de compression en sortie OCP_{1dB} ont tous les deux diminué de 10 % après vieillissement. Les équations (6) et (11) sont validées d'après les mesures précédentes.

Les extractions des dérives au cours du temps des paramètres caractéristiques du transistor MOS et les performances du PA à un étage permettent de valider les équations (6), (8) et (11). L'analyse précédente permet donc de conclure que la tension de seuil V_{th} est le paramètre qui se dégrade le plus et par conséquent détériore les performances petits et grands signaux de l'amplificateur de puissance à un étage.

3-1-3 Mesures effectuées sur l'amplificateur de puissance à quatre étages

Pour confirmer la validité du modèle de vieillissement quasi-statique sur des transistors de plus grande taille, nous comparons les mesures et les simulations des performances petits et grands signaux avant et après vieillissement de l'amplificateur de puissance à quatre étages.

Sur la Figure 7, nous présentons les mesures et les simulations des paramètres S_{21} (a) et S_{11} (b) avant et après un stress de 1,7 V pendant 50 h.

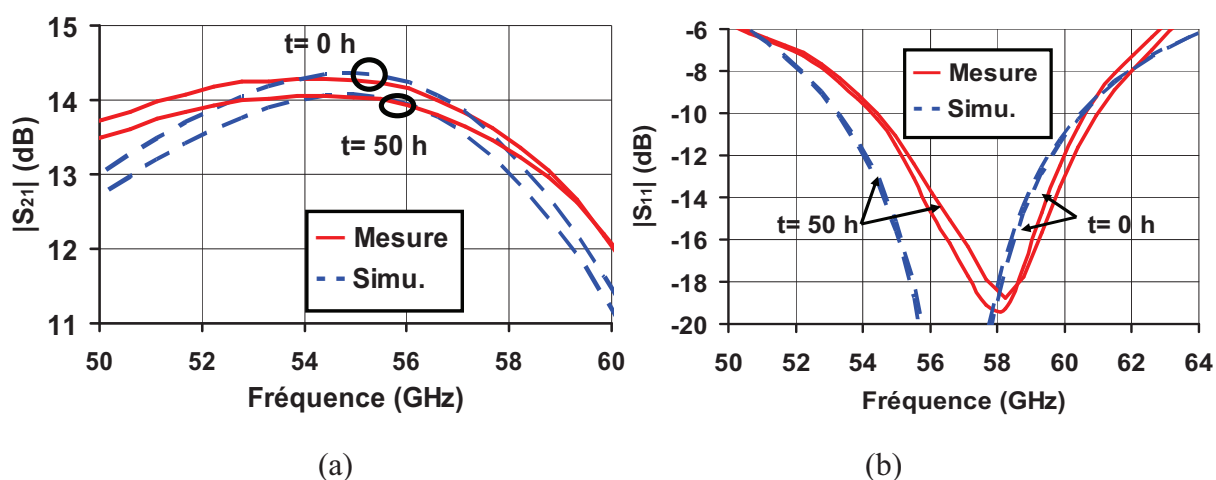


Figure 7 : Comparaison entre les mesures et les simulations du paramètre S_{21} (a) et S_{11} (b) avant et après un stress de 1,7 V pendant 50 h.

Le bon accord observé entre les mesures et les simulations sur la Figure 7 permet de dire que le modèle de vieillissement quasi-statique ajusté permet de rendre compte complètement de la dégradation des paramètres petits signaux de l'amplificateur de puissance

hautes performances lors d'un stress statique. La différence observée entre les mesures et les simulations du paramètre S_{11} Figure 7 (b) est expliquée dans la partie 3 du Chapitre 3. Nous mesurons une diminution du gain de 7 % à 60 GHz.

Sur la Figure 8 nous présentons la comparaison entre la mesure et la simulation de la puissance en sortie avant et après un stress de 1,7 V pendant 50 h.

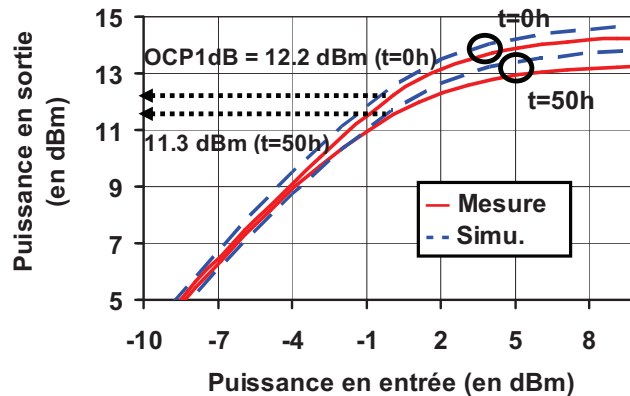


Figure 8 : Comparaison entre la mesure et la simulation de la puissance en sortie avant et après un stress de 1,7 V pendant 50 h

La puissance à la saturation P_{sat} et le point de compression en sortie $\text{OCP}_{1\text{dB}}$ ont tous deux diminué de 8 % après vieillissement. Les comparaisons entre les mesures et les simulations faites avec les autres tensions de stress montrent aussi un très bon accord.

Les résultats que nous venons de présenter dans ce paragraphe ont permis de valider le modèle quasi-statique de vieillissement des transistors MOS par porteurs chauds pour plusieurs tensions de stress et plusieurs tailles de transistors. Ceci permet de dire que ce modèle prend bien en compte tous les paramètres physiques du vieillissement des transistors MOS lors d'un stress statique.

Nous avons aussi montré quelles étaient les grandeurs qui influent le plus sur la dégradation des performances des amplificateurs de puissance. Nous allons regarder maintenant la dégradation des transistors MOS et des PAs lorsqu'ils sont en fonctionnement normal c'est à dire lors qu'ils amplifient un signal à 60 GHz.

3-2 Validation du modèle de vieillissement à 60 GHz

Dans ce paragraphe, nous validons la deuxième étape de notre méthodologie d'étude du vieillissement des amplificateurs de puissance à 60 GHz (Figure 2). Après avoir ajusté et validé le modèle pour des stress statiques nous cherchons à valider le modèle pour des stress dynamiques dus au signal RF à 60GHz. Nous voulons étudier le vieillissement correspondant des amplificateurs de puissance. Les différentes étapes de mesures et de comparaison avec les simulations sont les mêmes que précédemment à l'exception du stress qui regroupe une partie statique (tension V_{dd}) et une partie dynamique correspondant à une puissance P_e du signal RF à 60GHz en entrée des amplificateurs. La figure 9 montre la comparaison entre les mesures et les simulations après un stress de durée 50h et correspondant à une tension $V_{dd}=1,65$ V et une puissance d'entrée $P_e=0$ dBm à 60GHz.

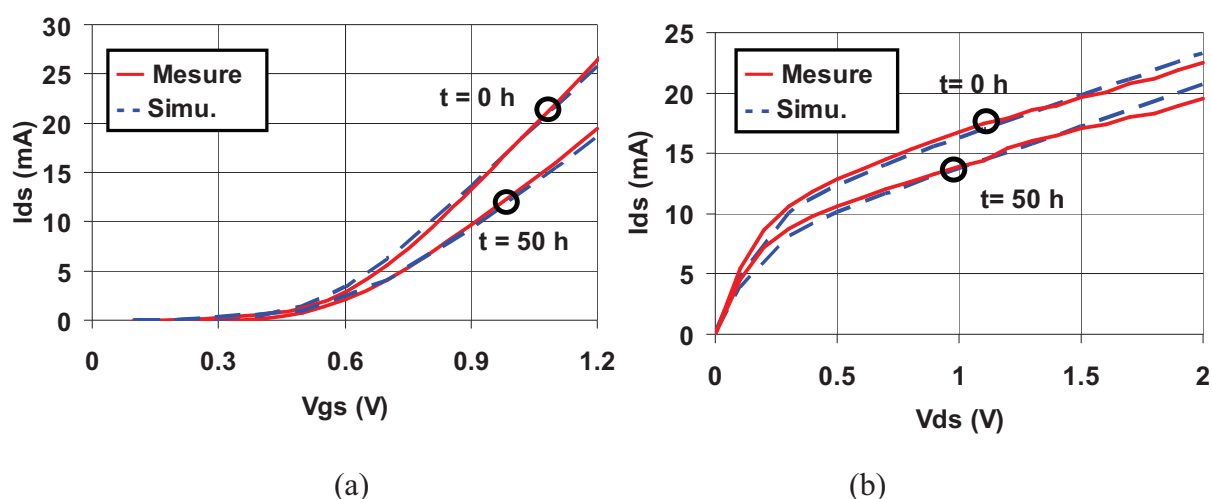


Figure 9 : Mesures de $I_{ds}(V_{gs})$ avec $V_{dd}=1,2$ V (a) et $I_{ds}(V_{ds})$ avec $V_{gs}=0,9$ V (b) avant vieillissement et après un stress dynamique de 1,65 V et $P_e=0$ dBm pendant 50 heures

Nous notons un très bon accord entre les mesures et les simulations. Les paramètres statiques des transistors MOS ne présentent pas de dégradation non prévue par le modèle lors d'un vieillissement dynamique. Nous mesurons une diminution de g_m de 8 %, une augmentation de V_{th} de 9 %. D'après l'équation (1), et après l'extraction de V_{th} et g_m des courbes $I(V)$, nous pouvons en déduire que la mobilité des porteurs a diminué de 1 %.

Sur la Figure 10, nous présentons la comparaison entre les mesures et les simulations des paramètres S_{21} (a) et S_{11} (b) avec une mesure intermédiaire à 20 h.

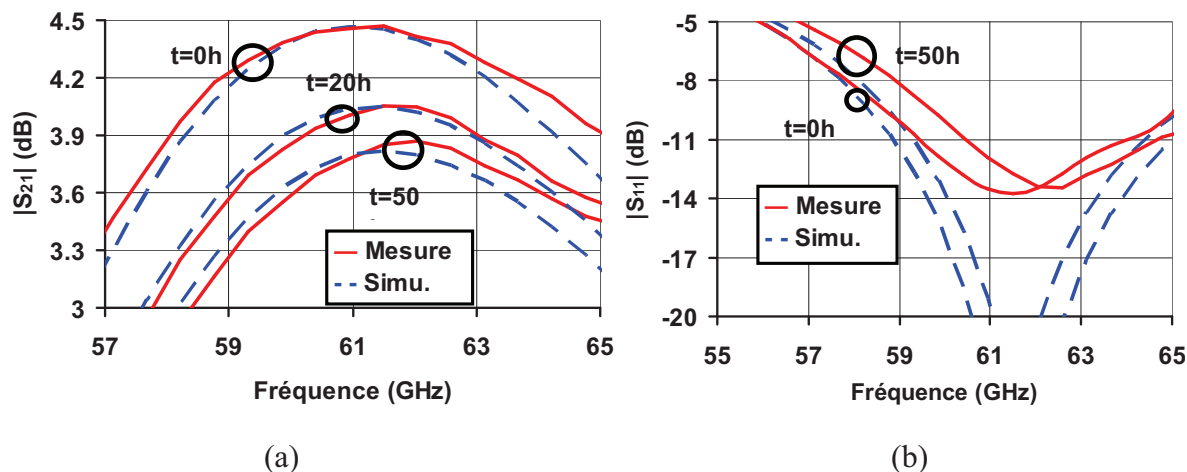


Figure 10 : Comparaison entre les mesures et les simulations des amplitudes des paramètres S_{21} (a) et S_{11} (b) avant et après un stress de 1,65 V et $P_e = 0$ dBm pendant 50 h avec une mesure à 10 h.

Les résultats présentés sur la Figure 10 montrent un bon accord entre les mesures et les simulations de la dégradation. Le zoom effectué autour de la bande 50 GHz - 70 GHz met en avant quelques différences entre les facteurs de qualités du gain et de l'adaptation mesurée et simulée. Nous discutons de ce point dans le paragraphe 3-4. Nous observons une diminution du gain de 16 % à 60 GHz.

Sur la Figure 11, nous présentons la comparaison entre la mesure et la simulation de la puissance en sortie.

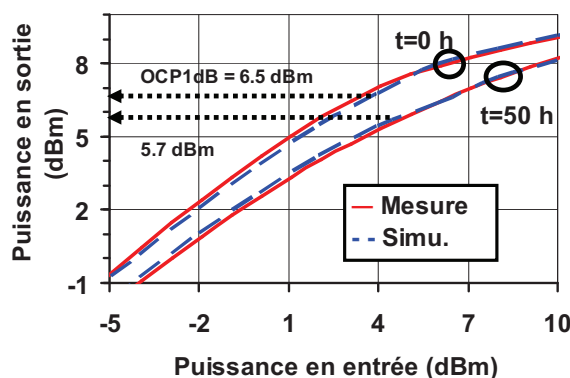


Figure 11 : Comparaison entre la mesure et la simulation de la puissance en sortie avant et après un stress de 1,65 V et $P_e = 0$ dBm pendant 50 h.

Les résultats Figure 11 montrent là encore un très bon accord entre les mesures et les simulations de la dégradation. La puissance à la saturation P_{sat} et le point de compression en sortie $\text{OCP}_{1\text{dB}}$ ont tous les deux diminué de 15 % après vieillissement.

Le modèle de vieillissement quasi-statique rend donc parfaitement compte de la dégradation des performances des amplificateurs de puissance à 60 GHz. Malgré quelques différences mineures entre les mesures et les simulations que nous discuterons après, ce modèle est parfaitement qualifié pour calculer le temps de vie de cet amplificateur de puissance à un étage.

En ce qui concerne les mesures effectuées sur l'amplificateur à quatre étages, la Figure 12 nous montre la comparaison entre les mesures et les simulations des paramètres S_{21} (a) et S_{11} (b) avant et après un stress de $V_{\text{dd}} = 1,78$ V et $P_e = 0$ dBm pendant 50 h.

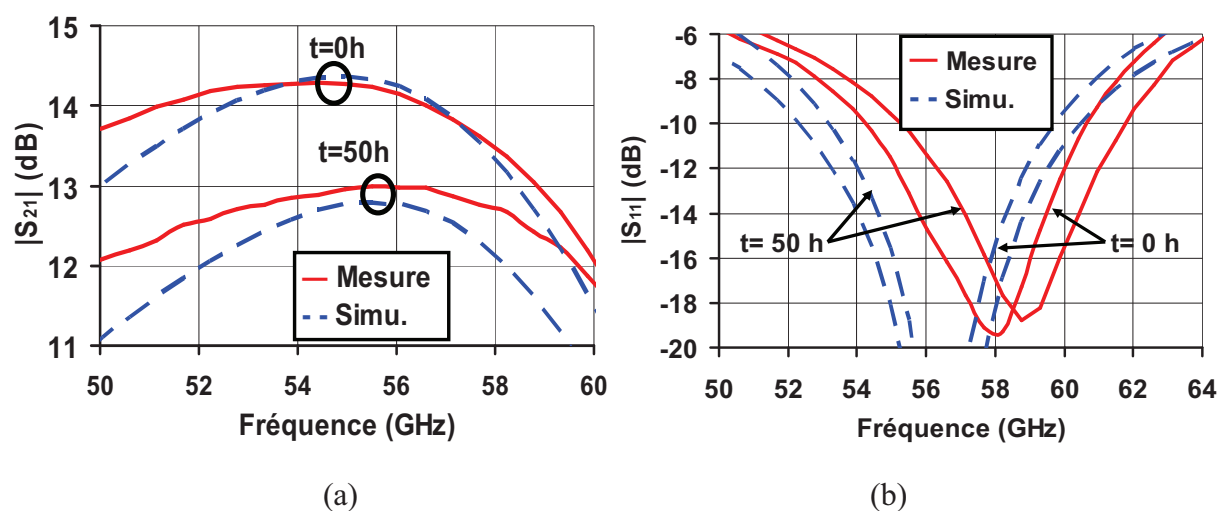


Figure 12 : Comparaison entre les mesures et les simulations du paramètre S_{21} (a) et S_{11} (b) avant et après un stress de 1,78 V et $P_e = 0$ dBm pendant 50 h.

Nous mesurons une diminution du gain de 15 % à 60 GHz. Sur la Figure 13 nous présentons la comparaison entre la mesure et la simulation de la puissance en sortie avant et après un stress de 1,78 V et $P_e = 0$ dBm pendant 50 h.

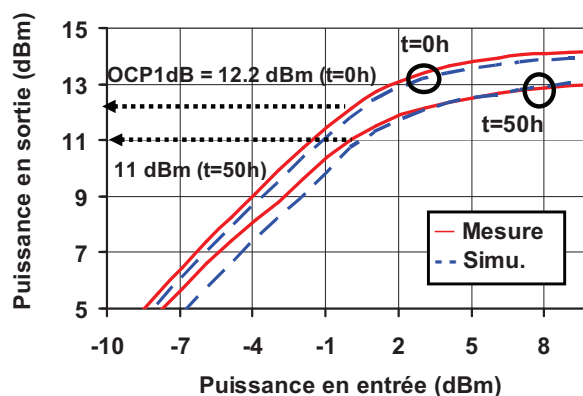


Figure 13 : Comparaison entre la mesure et la simulation de la puissance en sortie avant et après un stress de 1,78 V et $P_e = 0$ dBm pendant 50 h

La puissance à la saturation P_{sat} et le point de compression en sortie OCP_{1dB} ont tous les deux diminué de 24 % après vieillissement. Là encore les simulations et les mesures présentent un bon accord. Les résultats précédents montrent que le modèle quasi-statique ajusté sur un stress statique permet de rendre compte aussi du vieillissement des amplificateurs à 60 GHz. De plus, nous avons montré que la tension de seuil des transistors MOS était le paramètre qui influe le plus sur la dégradation des performances des amplificateurs de puissance. Les comparaisons entre les mesures et les simulations faites avec un stress de $V_{dd} = 1,78$ V et $P_e = 0$ dBm sont présentées en Annexe 3 et montrent aussi un très bon accord.

A partir de ce travail de validation, nous sommes maintenant capables de déterminer le temps de vie des amplificateurs de puissance réalisés en technologie 65nm et fonctionnant à 60 GHz.

3-3 Discussion sur le modèle

Nous venons de valider le modèle de dégradation par porteurs chauds des transistors MOS jusqu'à 60 GHz. Un modèle quasi-statique est donc suffisant pour décrire le vieillissement des transistors MOS à 60 GHz. Il n'y a pas d'effet non quasi-statique. Nous pouvons donc déterminer quelle tension d'alimentation statique il faut appliquer à

l'amplificateur pour obtenir un vieillissement équivalent à celui obtenu en fonctionnement normal à 60 GHz. Ceci nous éviterait de faire des tests de vieillissement à 60 GHz.

Cependant un vieillissement des capacités intrinsèques du transistor MOS lors d'un stress RF est observé sur la Figure 10 (a) et la Figure 12 (a). En effet, nous notons une dérive en fréquence du gain des amplificateurs de puissance non prise en compte par le modèle. Cette dérive du gain en fréquence étant inférieure à quelques pourcents, le modèle reste donc suffisant pour étudier le vieillissement des amplificateurs de puissance à 60 GHz. Ce modèle serait insuffisant pour prédire l'évolution des performances au cours du temps de circuits tels que les oscillateurs. Cependant ce type de circuit (principalement les VCOs) est inclus très souvent dans des boucles à verrouillage de phase assurant la stabilité de la fréquence.

3-4 Estimation du temps de vie d'un amplificateur de puissance fonctionnant à 60 GHz

Les contraintes industrielles situent le temps de vie d'un amplificateur de puissance comme étant le temps pour lequel l'un de ses paramètres caractéristiques (OCP_{1dB} , P_{sat} , G_p ...) a dérivé de plus de 10 %. Nous allons regarder la variation en pourcent au cours du temps de ces paramètres lorsque les amplificateurs fonctionnent à $V_{ddmax} = 1,2$ V et $P_e \approx ICP_{1dB}$.

3-4-1 Etude de l'amplificateur à 1 étage en technologie CMOS 65 nm

L'amplificateur à un étage (cf. Chapitre 3) fonctionne sous $V_{dd} = 1,2$ V avec une puissance en entrée $P_e = 0$ dBm correspondant pratiquement à son point de compression en entrée. La variation de son gain et de sa puissance à la saturation au cours du temps sont présentés sur la Figure 14.

Cette figure montre que le gain de l'amplificateur a dérivé de 10 % en linéaire au bout de 70 jours et que la puissance à la saturation a dérivé de 10 % au bout de 170 jours. La valeur du gain en puissance passe donc de 4,5 dB à 3,3 dB. Cet amplificateur de puissance ne peut donc être utilisé que pendant une durée équivalente à 70 jours de fonctionnement en continu, au-delà il serait inutilisable.

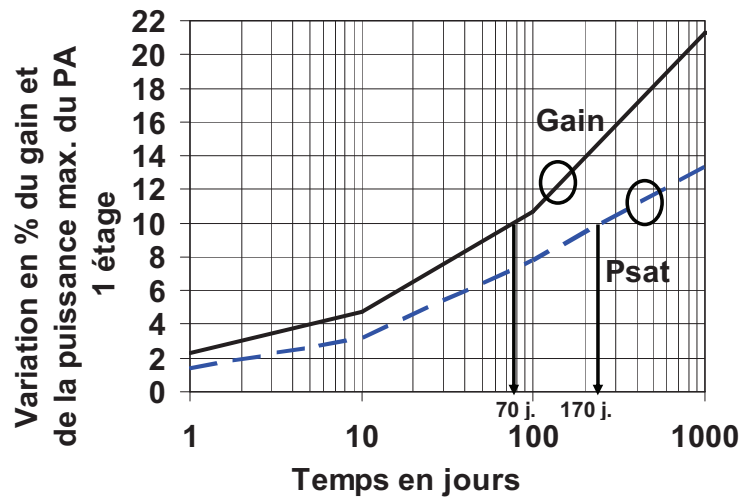


Figure 14 : Variation du gain et de la puissance à la saturation de l'amplificateur à un étage au cours du temps

3-4-2 Etude de l'amplificateur à 4 étages en technologie CMOS 65 nm

L'amplificateur à quatre étages (cf. Chapitre 3) fonctionne lui aussi sous $V_{dd} = 1,2$ V avec une puissance entrante de 0 dBm correspondant pratiquement aussi à son point de compression en entrée. La figure 15 montre la variation de son gain et de sa puissance à la saturation au cours du temps.

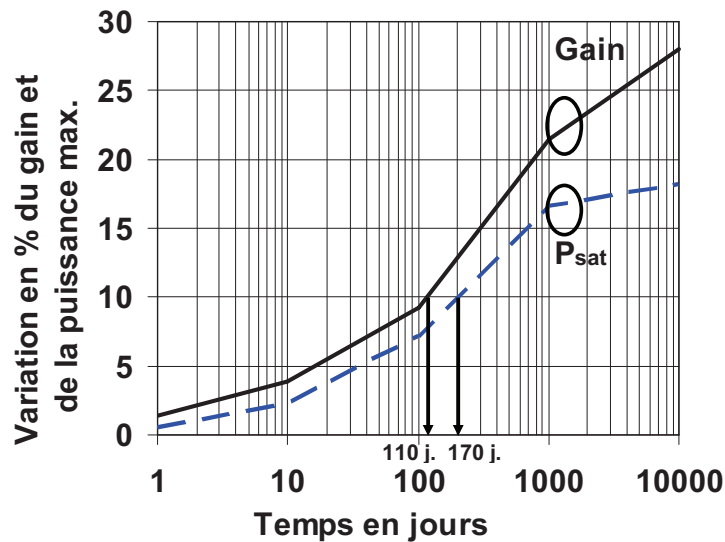


Figure 15 : Variation du gain et de la puissance à la saturation de l'amplificateur à quatre étages au cours du temps

D'après la Figure 15, nous voyons que le gain de l'amplificateur a dérivé de 10 % au bout de 110 jours et que la puissance à la saturation a dérivé de 10 % au bout de 170 jours.

Nous allons maintenant regarder sur la Figure 16, le comportement de chaque étage de cet amplificateur au cours du temps.

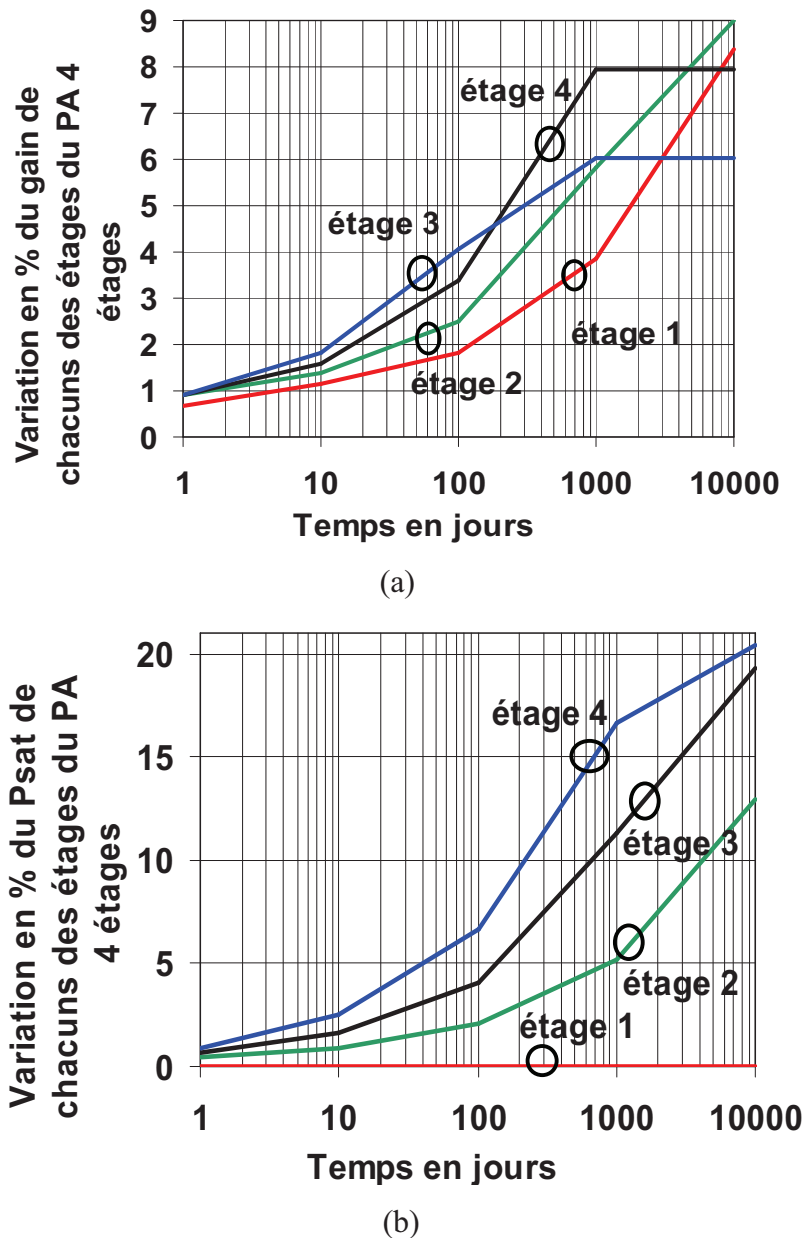


Figure 16 : Variation relative du gain des différents étages de l'amplificateur de puissance à quatre étages (a) en au cours du temps et variation relative de la puissance à la saturation des différents étages (b)

Dans le Tableau 3, nous présentons les valeurs du gain et de la puissance à la saturation de chaque étage de l'amplificateur de puissance à quatre étages, avant et après 10 ans d'utilisation.

| temps de stress | G _p (dB) | | P _{sat} (dBm) | |
|-----------------|---------------------|----------|------------------------|----------|
| | t=0h | t=10 ans | t=0h | t=10 ans |
| étage 1 | 4,65 | 4,34 | 9,94 | 9,94 |
| étage 2 | 4,31 | 3,99 | 13,05 | 12 |
| étage 3 | 3,64 | 3,42 | 14,75 | 12,39 |
| étage 4 | 1,36 | 1,27 | 15,54 | 12,74 |

Tableau 3 : Valeurs des paramètres caractéristiques de chaque étage du PA à 4 étages en technologie CMOS 65 nm avant et après 10 ans d'utilisation

Nous voyons sur la Figure 16 et le Tableau 3 que la dégradation de la puissance à la saturation est plus importante pour les étages à forte puissance (étages 3 et 4) que pour les étages à plus faible puissance. De plus nous notons que la puissance à la saturation du premier étage n'a pratiquement pas évolué.

Ces résultats montrent que les amplificateurs de puissance en topologie source commune, fonctionnant en classe A se dégradent très vite au cours du temps et qu'il faut donc intégrer dans l'organigramme de conception de ces circuits les contraintes de fiabilité. Pour rendre ce type de circuit fiable, il faut donc abaisser la tension d'alimentation V_{dd} des transistors MOS, et utiliser par exemple une technique de recombinaison de puissance en sortie. Par contre la consommation de ces amplificateurs de puissance est beaucoup plus importante [19].

3-5 Perspective de cette étude

Nos travaux ont permis la validation d'un modèle quasi-statique de vieillissement des transistors MOS par porteurs chauds dans la technologie CMOS 65 nm jusqu'à 60 GHz. Bien qu'il existe quelques lacunes dans le modèle, telles que la prise en compte du vieillissement des capacités intrinsèques du transistor MOS, il est complètement applicable à la conception

d'amplificateurs à 60 GHz dans cette technologie. Ce modèle peut donc être utilisé pour optimiser la durée de vie des amplificateurs et choisir la structure la mieux adaptée à ce paramètre. Ainsi nous présentons dans l'Annexe 4 un amplificateur de puissance haute performances et fiable à 60 GHz en technologie CMOS 65 nm.

Pour effectuer le même travail avec d'autres nœuds technologiques (CMOS 32 nm ou CMOS 22 nm), il faudrait :

- 1-concevoir un amplificateur de puissance à un étage fonctionnant aux fréquences millimétriques ;
- 2-ajuster le modèle disponible par un seul stress DC ;
- 3-faire des tests de vieillissement sous vide à 60 GHz pour expérimenter le modèle jusqu'à ces fréquences de façon à tenir compte de la diminution des dimensions. Les capacités internes étant soumises à des champs électriques plus intenses, elles sont susceptibles de vieillir plus rapidement.

Conclusion

Nous avons présenté dans ce chapitre, une étude de la fiabilité des amplificateurs de puissance en technologie CMOS 65nm à 60 GHz. Pour effectuer ces tests nous avons développé dans un premier temps une méthodologie originale permettant d'accélérer le vieillissement des amplificateurs en lui appliquant en même temps un stress statique et un stress dynamique à 60 GHz pouvant durer jusqu'à une centaine d'heures. Dans un deuxième temps nous avons validé le modèle de vieillissement quasi-statique, en le calibrant à l'aide des résultats de mesure de vieillissement, effectué sous contrainte statique, sur les amplificateurs de puissances. Puis, nous avons montré que ce modèle pouvait-être utilisé pour rendre compte du vieillissement de ces mêmes amplificateurs sous contrainte dynamique, c'est-à-dire en fonctionnement normal à 60 GHz. Cette validation a été possible grâce aux tests de vieillissement dynamique effectués par la méthode que nous avons préalablement développé. Cette validation a été effectuée autant sur les caractéristiques statiques des transistors que sur les caractéristiques dynamiques forts signaux des amplificateurs de puissance (principalement le gain et le point de compression en sortie). Cependant nous avons montré que le modèle ne prend pas en compte le vieillissement des capacités intrinsèques des transistors MOS.

Grâce au modèle validé, nous avons déterminé avec précision la durée de vie des amplificateurs de puissance à un et quatre étages. Nous avons montré que l'amplificateur de puissance à quatre étages conçu en technologie CMOS 65 nm présente une dégradation de 10 % de son gain après seulement 110 jours de fonctionnement continue, c'est-à-dire polarisé à la tension nominale $V_{dd} = 1,2$ V et avec une puissance en entrée égale à son point de compression en entrée (autour de 0 dBm). De plus, nous avons montré la dégradation étage par étage au cours du temps de l'amplificateur de puissance à quatre étages.

Ces résultats montrent l'importance de la dégradation des circuits RF au cours du temps. La fiabilité doit impérativement être prise en compte lors de la conception des circuits RF, ainsi il faut repenser certains paramètres de design. L'Annexe 4 détaille le design d'un amplificateur de puissance haute performances en technologie CMOS 65 nm à 60 GHz et fiable en terme de contraintes industrielles. Il présente une dégradation de ses performances inférieures à 10% après 10 ans de fonctionnement mais une forte consommation.

Références

- [1] G. T. Sasse, "Reliability Engineering in RF CMOS", Ph.D. thesis, University of Twente, The Netherlands, ISBN: 978-90-365-2690-6, 2008.
- [2] C. Parthasarathy, "Etude de la Fiabilité des Technologies CMOS Avancées: Application à la Simulation de la Fiabilité de Conception des Circuits Numériques et Analogiques", thèse de doctorat, Université d'Aix en Provence, France, ISBN: ..., octobre 2006.
- [3] K.F. Schuegraf and C. Hu, "Hole injection SiO₂ breakdown model for very low voltage lifetime extrapolation", IEEE Trans. Electron Dev., vol. 41, no. 5, pp. 761-767, 1994.
- [4] E. Rosenbaum, R. Rofan, and C. Hu, "Effect of Hot-Carrier Injection on n- and pMOSFET Gate Oxide Integrity", IEEE Electron Device Letters, vol. 12, no. 11, Nov. 1991.
- [5] K.R. Mistry and B. Doyle, "AC versus DC hot-carrier degradation in n channel MOSFET's ", IEEE Trans. on Electron Dev., vol. 40, no. 1, pp. 96-104, 1993.
- [6] J. T. Park, B.-J. Lee, D.-W. Kim, C.-G. Yu, H.-K. Yu, "RF performance degradation in nMOS transistors due to hot carrier effects", IEEE Trans. Electron Devices, vol.47, no.5, pp. 1068-1072, May 2000.
- [7] C Yu, J. S. Yuan, John Suehle, , "Channel Hot-Electron Degradation on 60-nm HfO₂-Gated nMOSFET DC and RF Performances," IEEE Trans. On Electron Device, vol. 53, no. 5, pp. 1065-1072, May 2006.
- [8] Y. Shen, J. Lee, H. Shin, "Hot Carrier Stress Effect on the Performance of 65 nm CMOS Low Noise Amplifier," IEEE ICICDT, Austin, USA, may 2009, pp. 249-252.

- [9] Q. Li, J. Zhang, W. Li, J. S. Yuan, Y. Chen, "RF circuit performance degradation due to soft breakdown and hot-carrier effect in deep-submicrometer CMOS technology," IEEE Trans. On MTT., vol. 49, no. 9, pp. 1546-1551, 2001.
- [10] Enjun Xiao, "Hot Carrier Effect on CMOS RF Amplifier," IEEE IRPS, San Jose, USA, 2005, pp. 680-682.
- [11] C. D. Presti, F. Carrara, A. Scuderi, S. Lombardo, G. Palmisano "Degradation Mechanisms in CMOS Power Amplifier comparison to the DC Case," IEEE IRPS, Phoenix, USA, 2007, pp.
- [12] M. S. Gupta, "Power gain in feedback amplifiers, a classic revisited, " IEEE Trans. on MTT, vol. 40, no. 5, pp. 864-879, 1992.
- [13] S. C. Cripps, "RF Power Amplifiers for Wireless Communications", 2nd ed. Boston, MA: Artech House, 2006.
- [14] T. Yao, M. Q. Gordon, K. K. W. Tang, K. H. K. Yau, M.-T. Yang, P. Schvan, S. P. Voinigescu, "Algorithmic Design of CMOS LNAs and PAs for 60-GHz Radio," IEEE Journal of Solid-State Circuits, vol. 42, no. 5, pp. 1044-1057, May 2007.
- [15] S. T. Nicolson, S. Voinigescu "Methodology for Simultaneous Noise and Impedance Matching in W-band LNAs", IEEE CSICS, San Antonio, USA, Nov. 2006, pp.
- [16] T. Quémerais, L. Moquillon, V. Huard, J.-M. Fournier, P. Benech, "DC Hot Carrier Stress Effect on CMOS 65nm 60 GHz Power Amplifiers", IEEE RFIC 2010, May 2010 Anaheim, USA, pp. 351-354.

- [17] T. Quémerais, L. Moquillon, V. Huard, J.-M. Fournier, P. Benech, "Hot Carrier Stress Effect on a CMOS 65 nm 60 GHz One Stage Power Amplifier", IEEE Electron Devices Letter., (accepté pour publication)

- [18] Chi Y Law, Anh-Vu Pham, "A High-Gain 60GHz Power Amplifier with 20dBm Output Power in 90nm CMOS", IEEE ISSCC, pp. 426-427, Feb. 2010.

- [19] Baudouin Martineau et al., "A 53-to-68GHz 18dBm Power Amplifier with an 8-Way Combiner in Standard 65nm CMOS", IEEE ISSCC, pp. 428-429, Feb. 2010.

Conclusion de la thèse

Ce travail de recherche porte sur l'étude de la fiabilité des amplificateurs de puissance fonctionnant dans les gammes de fréquences millimétriques et conçus dans des technologies CMOS avancées de STMicroelectronics. Il a pour objectif principal de valider le modèle de vieillissement quasi-statique disponible au sein de cette société et de montrer que ce modèle reste valable pour des fonctionnements dans cette gamme de fréquence. Cette étude a nécessité dans un premier temps la réalisation d'amplificateurs de puissance optimisés en termes de performances afin d'étudier de façon pertinente leur vieillissement. La réalisation d'amplificateurs présentant des caractéristiques optimales a pu être menée à bien grâce au développement de modèles précis pour les composants passifs (lignes de propagation et capacités localisées) ainsi que pour la partie extrinsèque (accès) du transistor MOS. En ce qui concerne les lignes de propagation de type microruban, un modèle analytique large bande a été adapté à la technologie d'intégration utilisée et validé jusqu'à une centaine de GHz. Ces modèles ont été complètement intégrés dans les outils de CAO afin d'être utilisés facilement par les concepteurs. Enfin, la réalisation des amplificateurs nous a permis de proposer une méthode de conception et d'optimisation du point de compression et du gain en prenant en compte les contraintes d'électromigration. La comparaison des caractéristiques simulées avec les résultats démontre la pertinence des modèles développés et de la méthodologie de conception proposée. En particulier un amplificateur à 4 étages fonctionnant en classe A et réalisé en technologie CMOS 65nm, présente à une fréquence de 58 GHz, un gain en puissance de 13,5 dB, un point de compression en sortie de 12,2 dBm avec une consommation statique de 300 mW. Ces résultats permettent de placer cet amplificateur parmi ceux ayant d'excellentes performances. Ce point n'était pas notre objectif principal, mais il était important de disposer d'un amplificateur représentatif de ce type de fonction pour la suite de l'étude.

En ce qui concerne l'étude de la fiabilité, nous avons présenté le modèle de vieillissement quasi-statique du transistor MOS par porteurs chauds disponible à STMicroelectronics. Afin d'expérimenter la validité de ce modèle pour des amplificateurs fonctionnant aux fréquences millimétriques, nous avons ajusté dans un premier temps le modèle grâce à des mesures de vieillissement des amplificateurs ayant subi préalablement des stress statiques. Puis nous avons fait vieillir les amplificateurs en fonctionnement dynamique grâce à une méthodologie expérimentale originale consistant à appliquer sur des amplificateurs, des stress de vieillissement accéléré non seulement statiques (augmentation de la tension d'alimentation) mais aussi dynamique (application de signaux à 60 GHz en entrée). La détérioration mesurée des caractéristiques des amplificateurs (principalement le gain et le point de compression en sortie) a été comparée à celle simulée à partir du modèle de vieillissement quasi-statique. Le très bon accord entre les résultats des mesures et les simulations a permis de démontrer que le modèle quasi-statique reste valable pour déterminer avec précision la durée de vie des amplificateurs de puissance fonctionnant dans ces gammes de fréquence. Ensuite nous avons présenté une méthode simple permettant de relier la dégradation relative des paramètres électriques des transistors MOS aux grandeurs caractéristiques des amplificateurs de puissance. Le but étant de déterminer les paramètres électriques du MOS responsables au premier ordre de la dégradation des performances.

En ce qui concerne l'amplificateur de puissance à quatre étages conçu en technologie CMOS 65 nm, celui-ci présente une dégradation de 10 % de son gain après seulement une durée de fonctionnement continu de 110 jours sous la tension de polarisation nominale de 1,2 V et avec une puissance en entrée égale au point de compression de l'amplificateur. Ces résultats montrent l'importance de la prise en compte de la fiabilité lors de la conception de ces amplificateurs grâce au modèle de vieillissement que nous avons validé.

L'étude menée pour arriver à prévoir la durée de vie de l'amplificateur est basée essentiellement sur un modèle de dégradation par porteurs chauds. Cependant nous avons pu observer en comparant les résultats de simulation et ceux des mesures faites après dégradation, qu'il apparaissait des différences. Quelques simulations complémentaires ont permis de mettre en évidence le rôle des capacités du transistor MOS. Ces éléments n'ont pas

été pris en compte dans ce travail et ouvrent des perspectives d'études qui permettront d'avoir un modèle plus précis pour l'estimation des durées de vie des transistors et des circuits. Grâce au travail réalisé, une approche nouvelle permet d'optimiser les structures d'amplification en tenant compte non seulement de critères de performances comme le gain ou le point de compression, mais aussi de la durée de vie du circuit.

Enfin, la réduction des dimensions des canaux de transistors va entraîner un vieillissement accéléré des composants. Il deviendra alors indispensable, d'intégrer dans les outils de conception des modèles réactualisés prenant en compte des effets nouveaux comme le vieillissement des capacités ou d'autres phénomènes liés au fonctionnement dynamique des circuits.

Annexe 1 : Les mesures hyperfréquences

1 Le banc de mesure des paramètres S jusqu'à 110 GHz

Les mesures hyperfréquences sont réalisées au laboratoire IMEP-LAHC de Grenoble grâce à un banc de mesure sur plaque jusqu'à 110 GHz (Figure 1).



Figure 1 : Photo du banc de mesure

Cet appareil est constitué d'un analyseur vectoriel de réseaux ANRITSU ME7808C Broadband Vector Network Analyser (VNA) générant un signal allant de 40 MHz à 65 GHz et d'une station semi-automatique Cascade S300. Ce banc est décrit de façon schématique sur la Figure 2. Par multiplication par 6 d'une fréquence externe allant jusqu'à 20 GHz dans les modules millimétriques, un signal est généré couvrant ainsi la bande 65 GHz à 110 GHz. En utilisant un combineur, le signal du VNA jusqu'à 65 GHz est combiné à celui des modules

millimétriques, nous permettant de d'obtenir un signal allant de 40 MHz à 110 GHz sans discontinuités sur un seul balayage. Quelques problèmes de dynamique (bruit élevé et instabilité) apparaissent à la jonction des deux bandes à 65 GHz.

L'analyseur vectoriel est connecté au combineur par des câbles coaxiaux en V DC-65 GHz et le combineur est connecté aux sondes de mesures via des câbles coaxiaux W1 DC-110 GHz. Les sondes de mesures RF utilisées sont localisées en position est et ouest et sont de marque Cascades Microtech Infinity en configuration signal-masse-signal (ground-signal-ground, GSG) avec un pas de 100 μm entre les pointes. Les sondes permettant d'amener la polarisation à nos circuits sont en configuration signal-signal-masse-signal-signal (signal-signal-ground-signal-signal, SSGSS). Elles sont localisées en position nord et sud et sont aussi de marque Cascade. Ces sondes contiennent des capacités de découplage de forte valeur afin de ne pas abîmer les alimentations DC par un retour de signal RF.

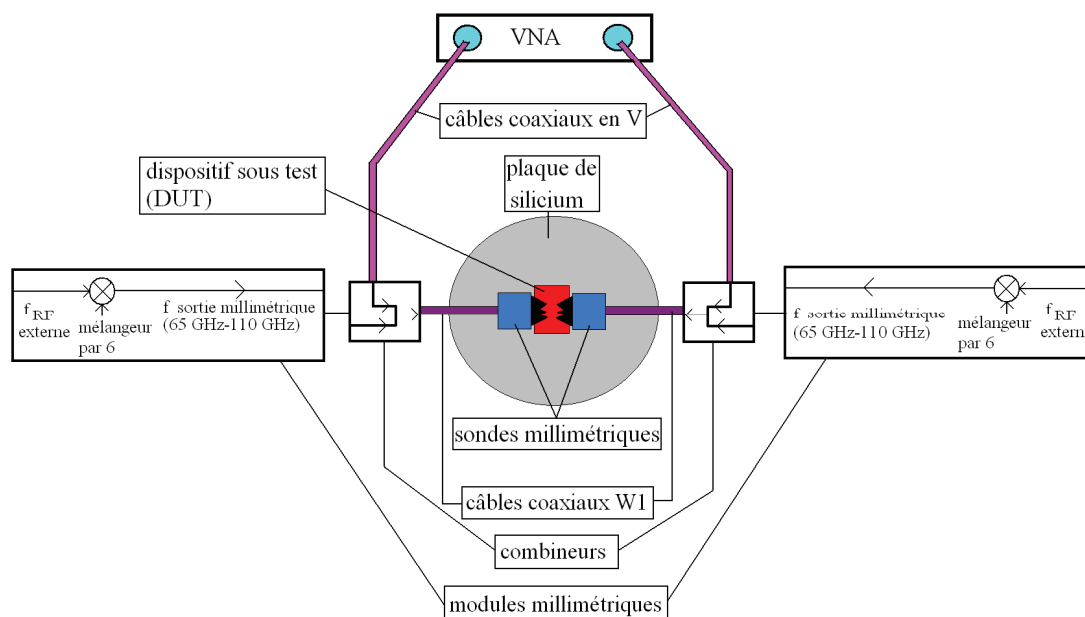


Figure 2 : Principe de la mesure sous pointes avec un banc millimétrique d'un dispositif sur plaque de silicium

Les mesures effectuées par ce banc de test nous donnent les paramètres S d'un dispositif (DUT) et de ses accès jusqu' au VNA. Ne voulant uniquement que les paramètres S

du dispositif seul et de ses accès sur la plaque, nous devons étalonner (ou calibrer) le VNA, c'est-à-dire ramener le plan de mesure au niveau des plots d'entrée du circuit et ainsi nous affranchir des pointes de mesure RF, des câbles coaxiaux et des modules avant les sondes.

2 Le banc de mesure en puissance entre 55 GHz et 65 GHz

Pour effectuer des mesures en puissance à 60 GHz nous utilisons le VNA en configuration 65 GHz. Les modules millimétriques seront laissés de côté.

Un amplificateur de puissance (Power Amplifier : PA) à 60 GHz externe est connecté entre le VNA et le dispositif à tester pour amplifier le niveau en puissance du signal. Le PA est relié aux sondes de mesure via un câble coaxiale en V. L'acquisition en puissance est réalisée par le VNA. Cette configuration est décrite sur la Figure 3.

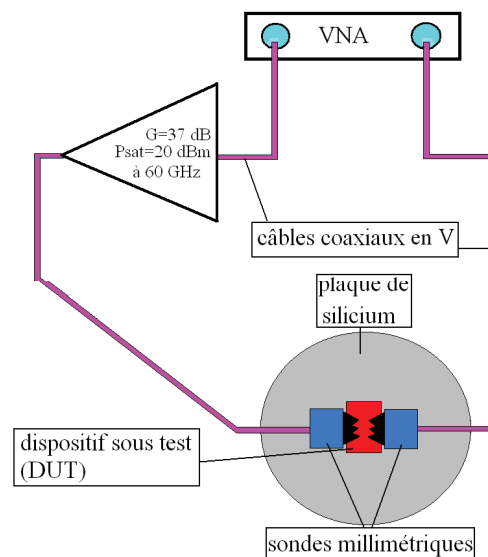


Figure 3 : Schéma du banc de mesure en configuration puissance

Les mesures en puissance nous donnent les paramètres grands signaux d'un dispositif (DUT) : la puissance en sortie en fonction de la puissance d'entrée et les paramètres S grands signaux. Ces paramètres tiennent compte des accès jusqu'au VNA. Or nous voulons uniquement les paramètres grands signaux du dispositif seul et de ses accès sur la plaque. Pour cela nous devons étalonner le VNA en puissance, c'est-à-dire calibrer la puissance avant les sondes.

3 L'étalonnage du VNA

3-1 L'étalonnage petit signal du VNA

Pour l'étalonnage du VNA, nous ne disposons seulement d'un substrat d'impédance standard de Cascade (ISS) de référence 104-783. Or le calibrage peut être effectué en utilisant d'autres substrats d'étalonnage comme la calibration sur plaque ou des substrats en GaAs utilisé par la calibration Multi-Line (LRL) du laboratoire américain NIST. Dans ce contexte, nous nous sommes efforcés d'obtenir la calibration optimale pour nos applications.

En utilisant le substrat ISS de Cascade, trois étalonnages sont possibles: SOLT (short-open-load-thru) [1], LRM (load-reflect-match) [2] et LRRM (load-reflect-reflect-match) [3]. Après l'étalonnage du VNA avec chacun d'eux, le coefficient de réflexion et de transmission d'une ligne en alucap de 9,2 μm de largeur et 800 μm de longueur en technologie 45 nm ont été mesurés. Les résultats sont présentés sur la Figure 4.

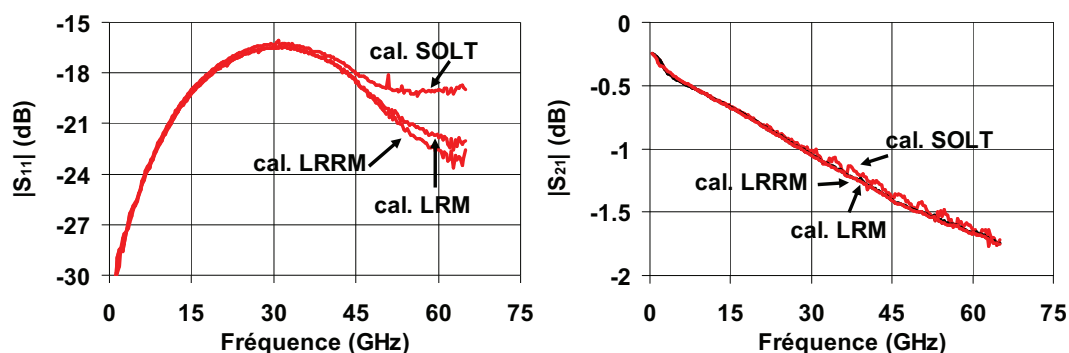


Figure 4 : Paramètres S_{11} et S_{21} mesurés d'une ligne microruban en CMOS 45 nm avec trois calibration de VNA différentes.

La calibration SOLT est très bruitée comme nous l'observons sur le coefficient de transmission Figure 4. Elle est donc difficile à exploiter et a été éliminée. Les étalonnages LRM et LRRM donnent des résultats très proches. Toutefois, comme il est indiqué dans [4] et [5], la technique d'étalonnage LRM nécessite deux motifs « load » identiques pour calibrer chacun des ports du VNA. Ces deux motifs doivent être identiques, sinon la précision sur l'étalonnage est réduite. De plus, l'erreur sur le positionnement des sondes a moins d'influence lorsque l'étalonnage LRRM est utilisé [3].

Lorsque l'on prend en compte tous ces paramètres et notre contexte de mesure, nous décidons d'étalonner le VNA avec la calibration LRRM.

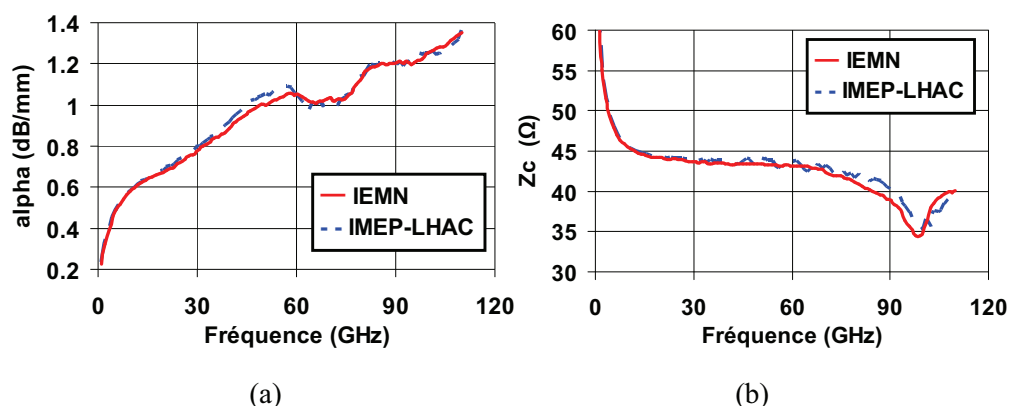
3-2 L'étalonnage grand signal du VNA

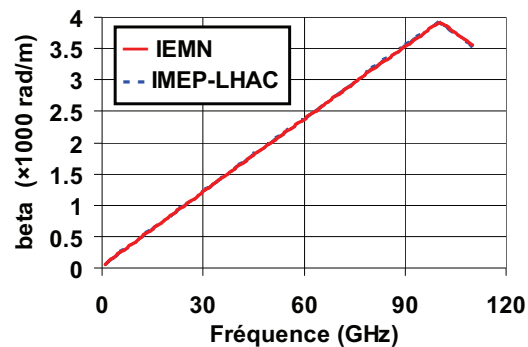
Pour maîtriser le niveau de puissance envoyé au dispositif sous test et s'affranchir des pertes dans les câbles nous devons étalonner en puissance le VNA. Pour cela nous utiliserons une sonde de puissance Agilent V8486A couvrant la bande 50GHz-75GHz relié à un puissance-mètre Agilent E4418B.

4 La validation du banc de test à 110 GHz

En début de thèse, l'IMEP-LAHC possédait le banc de mesure depuis peu de temps, il était donc indispensable de le valider. Nous avons dû tout d'abord maîtriser tous les aspects de l'étalonnage du VNA : moyennage, bande passante sur laquelle sont fait un point de mesure et le nombre de points que nous voulons. Ces paramètres jouent sur la qualité des mesures que nous faisons et le temps de mesure. Ensuite, il est indispensable d'avoir une excellente reproductibilité de nos mesures au sein d'un même réticule (puce sur la plaque) ou entre plusieurs réticules.

Nous allons tout d'abord comparer les mesures des paramètres caractéristiques d'une ligne microruban (α , β et Z_c) effectuées à l'IMEP et celles faites à l'IEMN (Lille). Du fait de la grande expérience du laboratoire IEMN de Lille dans les caractérisations hyperfréquences, les mesures effectuées à Lille peuvent être considérées comme étalon. Ces mesures seront faites sur différents réticules de notre plaque de silicium pour en vérifier la reproductibilité.





(c)

Figure 5 : Comparaison des mesures des paramètres caractéristiques d’une ligne micro ruban (α , β et Z_c) Alucap/Metal7-Métal1/Métal2 de 9,2 μm de large et de 800 μm de long en technologie CMOS 45nm faite à l’IMEP et faites à l’IEMN à Lille

La Figure 5 (a) montre que les mesures faites à l’IEMN et à l’IMEP sont identiques. Les pertes d’insertion α étant le paramètre le plus sensible à une dispersion de mesure. Le banc de mesure hyperfréquence peut donc être utilisé.

Références

- [1] Safwat, Amr M. E. Hayden, Leonard, “Sensitivity Analysis of Calibration Standards for SOLT and LRRM”, 58th ARFTG Microwave Measurement Conference, San Diego, CA, USA, Nov. 2001, pp.1-10.
- [2] D. F. Williams and R. B. Marks, “LRM probe-tip calibrations using non ideal standards”, IEEE Trans. Microwave Theory and Tech., vol.43, Issue 2, pp.466–469, Feb. 1995.
- [3] L. Hayden, “An enhanced Line-Reflect-Reflect-Match calibration”, 67th ARFTG Microwave Measurement Conference, San Francisco, CA, USA, June 2006, pp.143–149.

- [4] A. Davidson, K. Jones, and E. Strid, "LRM and LRRM calibrations with automatic determination of load inductance," in 36th ARTFG Conf. Dig., Nov. 1990, pp. 57–63.

- [5] F. Purroy and L. Pradell, "New Theoretical Analysis of the LRRM Calibration Technique for Vector Network Analyzers," IEEE Trans. On Instrumentation and Measurements, Vol. 50, No. 5, October 2001.

Annexe 2 : Les plots hyperfréquences

Nous modélisons les plots hyperfréquences (ou plots RF) de nos circuits par deux lignes microruban modélisant les extrémités du plot de part et d'autre de la pointe de mesures RF lorsque celle-ci est posée. Ce schéma électrique équivalent est présenté sur la Figure 1.

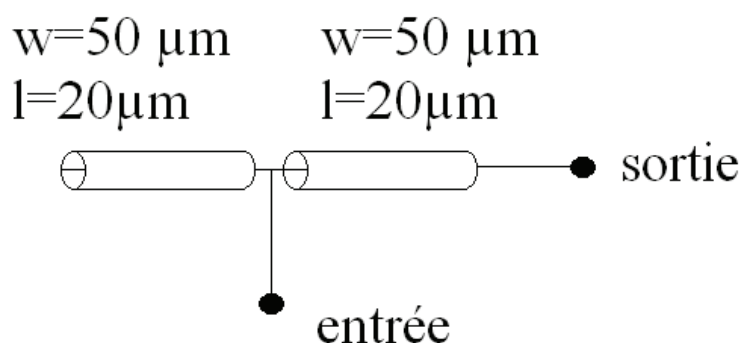
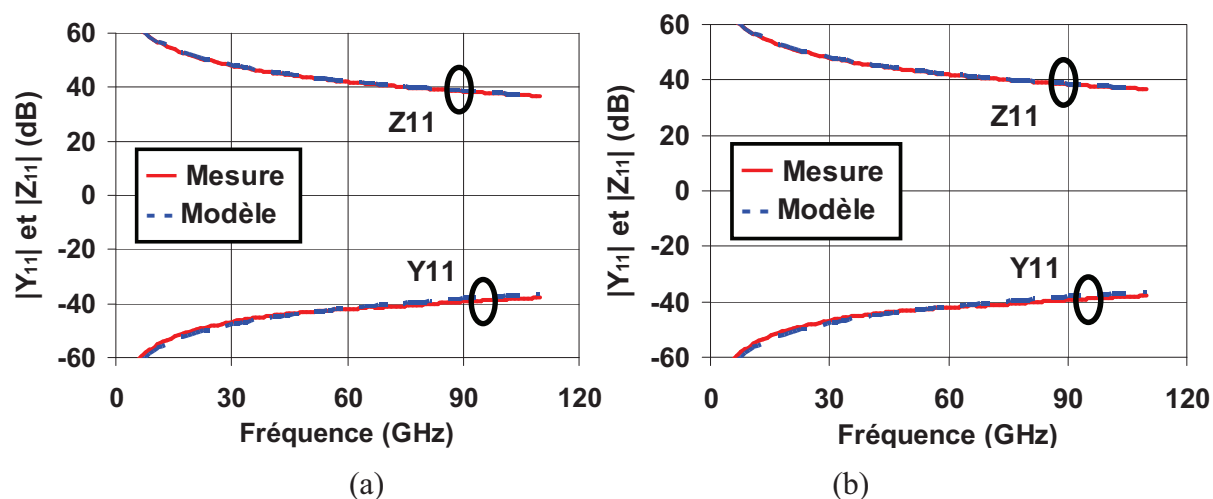


Figure 1 : Schéma électrique équivalent du plot RF

La mesure du plot étant une mesure 1 port, nous allons regarder ses paramètres Y_{11} et Z_{11} . Nous avons mesuré les plots sur le banc de mesure présenté en Annexe 1.



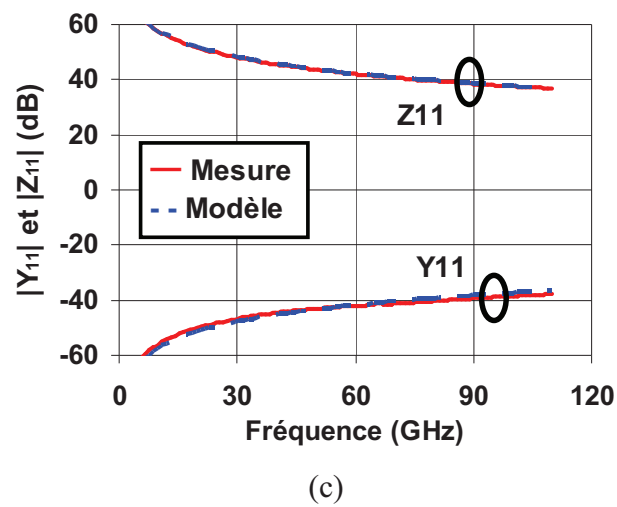


Figure 2 : Comparaison des paramètres Z_{11} et Y_{11} mesurés et simulés de plot RF en technologies CMOS 65nm (a), CMOS 45nm (b) et CMOS 32nm (c)

La Figure 2 montre un excellent accord entre notre modèle et la mesure des paramètres Z_{11} et Y_{11} . Notre modèle de plot RF est donc acceptable en technologies CMOS avancées.

Annexe 3 : Courbes supplémentaires des comparaisons entre mesures et simulations du vieillissement d'un amplificateur de puissance

Sur la Figure 1 nous montrons la comparaison entre les mesures et les simulations du paramètre S_{21} (a) et de la puissance en sortie à 60 GHz (b) du PA à un étage en CMOS 65 nm avant et après un stress de $V_{dd}=1,9$ V et $P_e=-10$ dBm pendant 50 h.

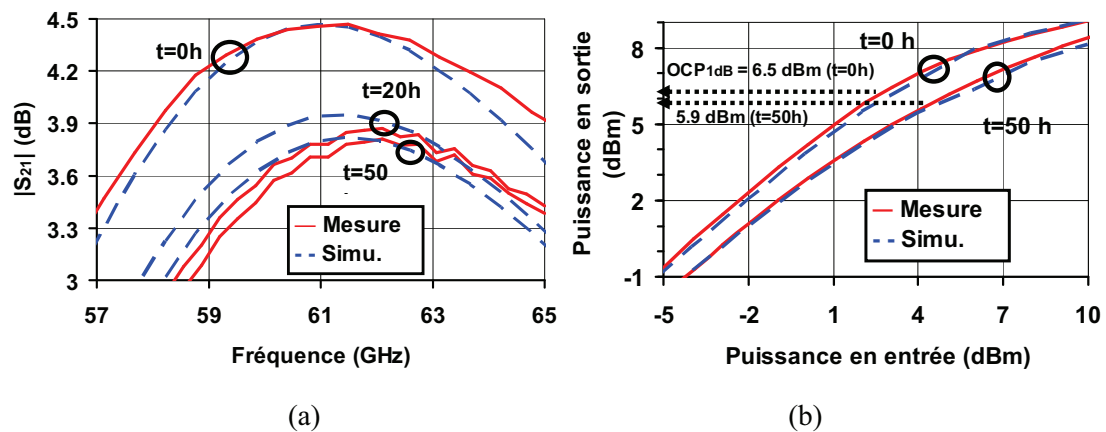


Figure 1 : Comparaison entre les mesures et les simulations du paramètre S_{21} (a) de la puissance en sortie (b) avant et après un stress de 1,9 V et $P_e=-10$ dBm pendant 50 h.

Annexe 4 : La conception d'un amplificateur hautes performances et fiable en technologie CMOS 65 nm à 60 GHz

1 Méthodologie de conception d'un amplificateur de puissance fiable

Nous avons validé dans le Chapitre 4 le modèle de vieillissement par porteurs chauds des transistors MOS à 60 GHz. Compte tenue de nos connaissances sur la fiabilité, nous avons conçus un amplificateur de puissance hautes performances répondant aux critères de fiabilité exigés dans la microélectronique à savoir une dérive des paramètre de 10 % maximum après 10 ans de fonctionnement. De plus ce circuit respecte les règles d'électromigration à 105 °C, nous assurant une robustesse aux forts courants.

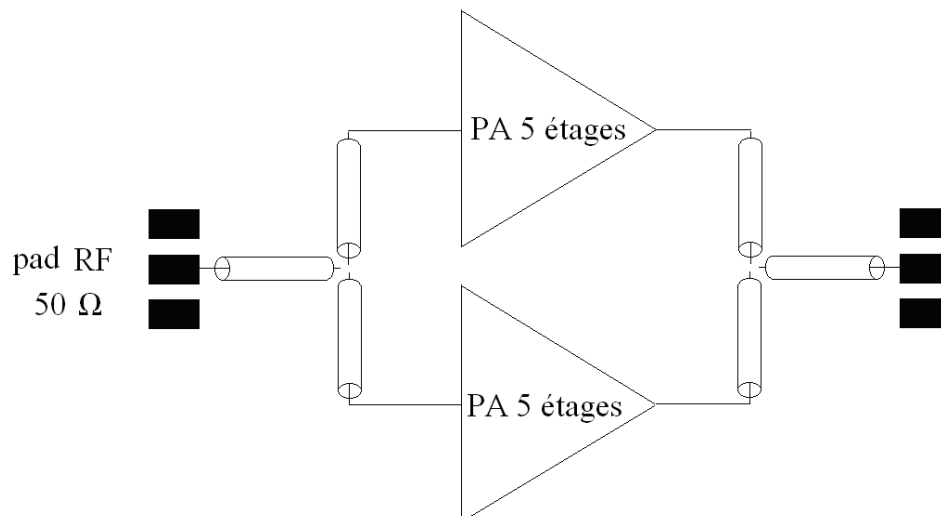


Figure 1 : Schéma de principe de l'amplificateur de puissance fiable à 5 étages en parallèle

Le circuit présenté sur la Figure 1 à été conçu en technologie CMOS 65 nm en utilisant notre méthodologie de conception développée dans le Chapitre 3. Ce circuit est composé de deux amplificateurs de 5 étages en parallèle. Chacun des étages est un montage

source commune polarisé en classe A et polarisé avec une tension de $V_{dd} = 0,9$ V. La puissance émise par chacun de ces amplificateurs à cinq étages en parallèle est recombinaisonnée en sortie par une jonction en T. Ce circuit est adapté en entrée et en sortie sur $50\ \Omega$.

2 Performances du circuit

Une photo du dessin du circuit est présentée sur la Figure 2. Les pistes de couleur grise correspondent au plus haut niveau métallique en aluminium (alucap). Nous distinguons donc les plots RF et les lignes de transmission. Les carrés gris sont les capacités MOM de découplage de 200 fF.

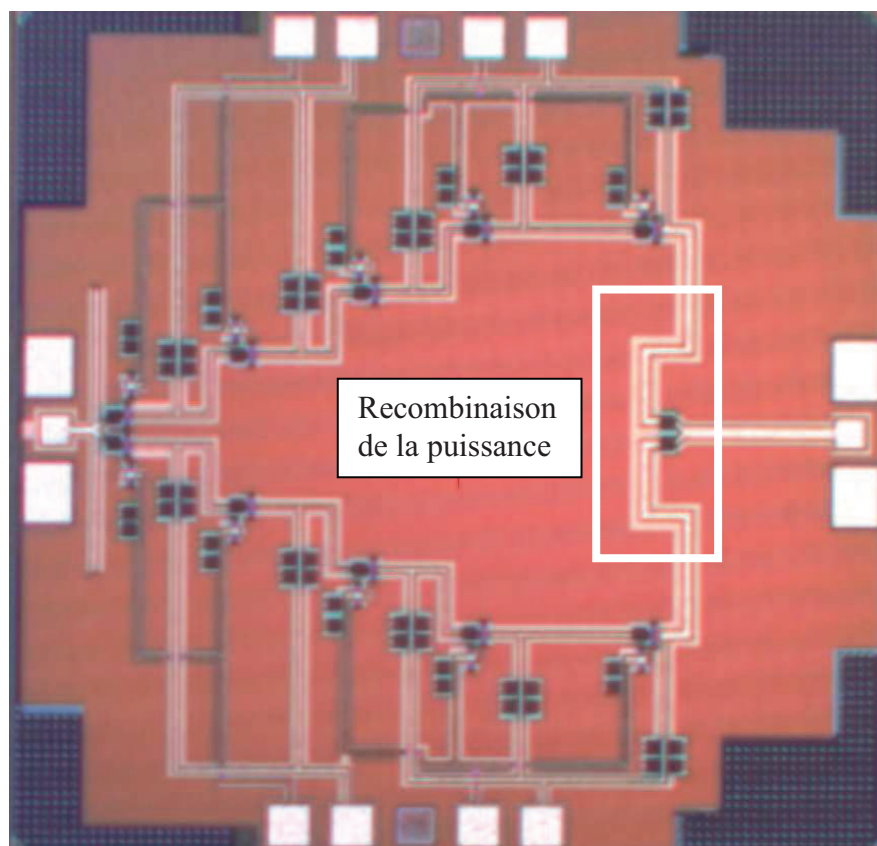


Figure 2 : Photographie du circuit. Taille de 2 mm^2

Nous présentons sur la Figure 3, les performances simulées en petits et en grands signaux de l'amplificateur de puissance.

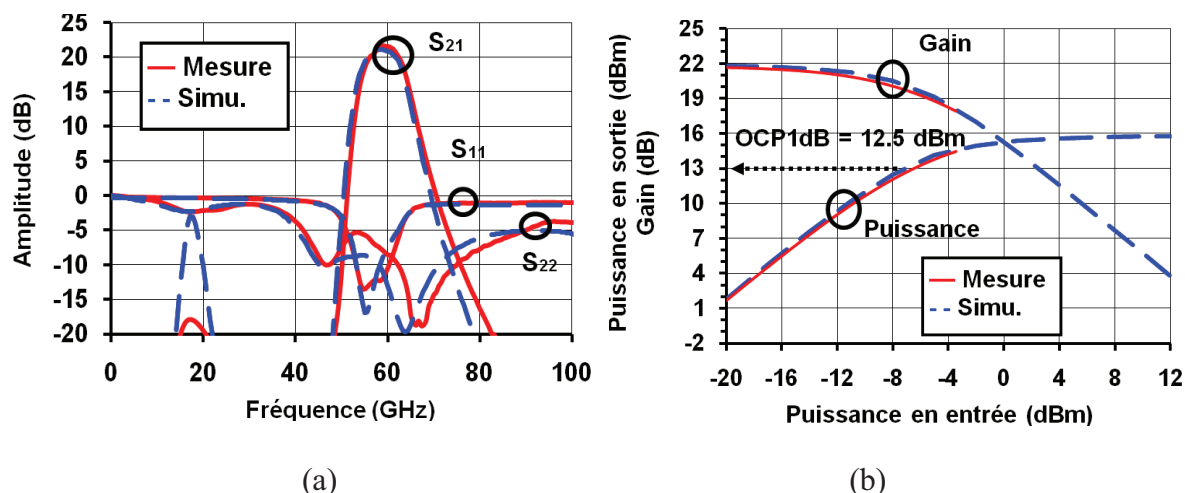


Figure 3 : Paramètres S (a), gain en puissance et puissance en sortie (b) de l'amplificateur de puissance

Nous avons regroupé les résultats de mesure à 60 GHz dans le Tableau 1. Ce type d'amplificateur est fortement pénalisé en termes de performance par les pertes dans les réseaux passifs qui sont de l'ordre de 15 dB à 60 GHz. De plus la consommation d'un tel circuit est bien trop forte pour être intégré dans un émetteur/récepteur, supposé faible consommation. En comparant ce circuit aux autres amplificateurs de puissance [1] et [2], il est à l'état de l'art en termes de gain et de point de compression et de plus est fiable.

| | fréquence (GHz) | Gain (dB) | ICP _{1dB} (dBm) | OCP _{1dB} (dBm) | S ₂₂ / S ₁₁ (dB) | Conso mW |
|------------|--------------------|--------------|-----------------------------|-----------------------------|---|-------------|
| simulation | 60 | 21.5 | -8 | 12.5 | -13 / -10 | 540 |

Tableau 1: Performances mesurées du PA fiable conçu en CMOS 65nm

Nous allons maintenant regarder la dégradation de ce circuit au cours du temps.

3 Temps de vie du circuit

L'amplificateur à cinq étages en parallèles conçu fonctionne sous $V_{dd}=0,9$ V et avec une puissance entrante équivalente à son point de compression en entrée de -8 dBm. Nous regarderons la variation de son gain et de sa puissance à la saturation au cours du temps en fonctionnement normale. Les résultats sont présentés sur la Figure 4.

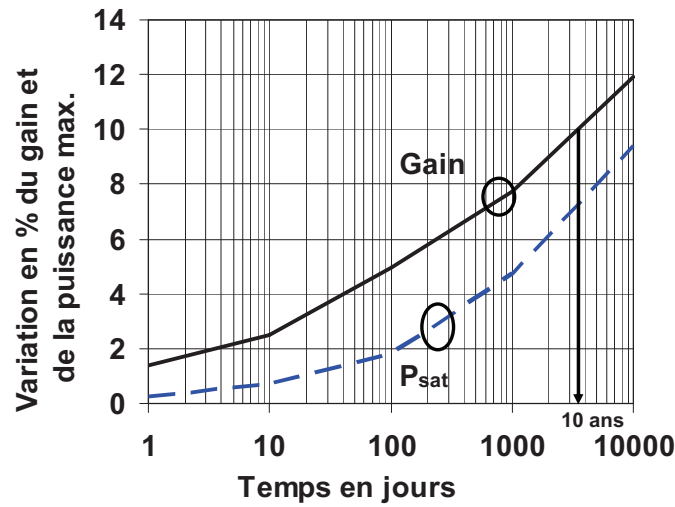


Figure 4 : Variation du gain et de la puissance à la saturation de l'amplificateur à quatre étages au cours du temps

Le circuit que nous venons de présenter est fiable pendant 10 ans. En effet son gain dérive de moins de 10 % après 10 ans de fonctionnement. Nous espérons mesurer ce circuit courant du mois de septembre.

Références

- [1] Baudouin Martineau et al., "A 53-to-68GHz 18dBm Power Amplifier with an 8-Way Combiner in Standard 65nm CMOS", IEEE ISSCC, pp. 428-429, Feb. 2010.
- [2] Jie-Wei Lai¹, Alberto Valdes-Garcia, "A 1V 17.9dBm 60GHz Power Amplifier in Standard 65nm CMOS IEEE", IEEE ISSCC, pp. 424-425, Feb. 2010.

Annexe 5 : Publications

- [1] T. Quémerais, L. Moquillon, J.-M. Fournier, P. Benech, N. Corrao, “TFMS Microstrip Line Modeling and Characterization up to 110 GHz on 45 nm Node Silicon Technology: Application for CAD”, IEEE SiRF 2010, Jan. 2010, New Orleans, USA, pp. 4-7.
- [2] T. Quémerais, L. Moquillon, J.-M. Fournier, P. Benech, “65-, 45-, and 32-nm Aluminium and Copper Transmission-Line Model at Millimeter-Wave Frequencies”, IEEE Trans. Microwave Theory and Techniques, Vol. 58, No. 9, Sept. 2010.
- [3] T. Quémerais, L. Moquillon, J.-M. Fournier, P. Benech, S. Pruvost, “Sub-Nanometer CMOS Multi-Finger Metal-Oxide-Metal Capacitor for Millimeter Wave Applications”, Microwave and Optical Technologies Letter, (en relecture).
- [4] T. Quémerais, L. Moquillon, J.-M. Fournier, P. Benech, “Sub-Nanometer CMOS Multi-Finger Metal-Oxide-Metal Capacitor for Millimeter Wave Applications”, EUMC 2010, Sept. 2010, Paris, France, pp. 425-428.
- [5] T. Quémerais, L. Moquillon, J.-M. Fournier, P. Benech, N. Corrao., “Methodology of Design of Millimeter Wave Power Amplifiers complying with 125°C Electromigration Design Rules in advanced CMOS technology”, IEEE WAMIcon 2010, Melbourne Beach, USA, pp. 1-4, Apr. 2010.
- [6] T. Quémerais, L. Moquillon, S. Pruvost, J.-M. Fournier, P. Benech, N. Corrao, “A CMOS Class-A 65nm Power Amplifier for 60 GHz Applications”, IEEE SiRF 2010, New Orleans, USA, pp. 120-123, Jan. 2010.

- [7] T. Quémerais, L. Moquillon, V. Huard, J.-M. Fournier, P. Benech, “DC Hot Carrier Stress Effect on CMOS 65nm 60 GHz Power Amplifiers”, IEEE RFIC 2010, May 2010 Anaheim, USA, pp. 351-354.

- [8] T. Quémerais, L. Moquillon, V. Huard, J.-M. Fournier, P. Benech, N. Corrao, X. Mescot, “Hot Carrier Stress Effect on a CMOS 65 nm 60 GHz One Stage Power Amplifier”, IEEE Electron Devices Letter, Vol. 31, No. 9, Sept. 2010.

TFMS Microstrip line modelling and characterization up to 110 GHz on 45 nm node silicon technology: application for CAD

T. Quémerais^{1,2}, L. Moquillon², J.-M. Fournier¹, P. Benech¹, N. Corrao¹

¹IMEP-LHAC, UMR INPG/UJF/US/CNRS, 3 parvis Louis Néel, BP 257, 38016 Grenoble Cedex, France

²STMicroelectronics, 850 rue Jean Monnet 38920 Crolles, France
e-mail : thomas.quermerais@st.com

Abstract — An improved analytical model for integrated microstrip line experienced on 45 nm silicon technology is proposed. This model is derived from previous classical ones used for PCB circuits. Improvements have been performed to take into account the sizing effects for integrated lines. The study is performed up to 110 GHz for different line widths and results accuracy allow implementing the model in CAD software like Eldo, Spectre and the Agilent tools (RFDE, ADS, and GoldenGate) for mm-wave designs.

Index Terms — BEOL, 45nm technology, millimeter wave frequency, microstrip lines.

I. INTRODUCTION

The full integration of RF analog circuits on silicon processes is a key feature for future millimeter-wave communication systems. In this context, propagation lines used mainly for interconnections must be well modeled in millimeter range for every geometrical parameter (length, width, oxide thickness) and available in Computer Aided Design (CAD) software commonly used by designers. Comparable works are presented in literature ([4]-[6]), up to 60 GHz and are not demonstrated to be included in CAD tools.

This work presents a scalable model for integrated Thin Film MicroStrip (TFMS) lines experienced up to 110 GHz in a 45nm CMOS technology. Coupling effects are not taken into account in this study but guidelines are provided in order to limit undesirable effects. The model could easily be implemented in a Design Kit for designers. Section II is devoted to the microstrip line description and integration in the back end of line (BEOL) of the STMicroelectronics 45 nm CMOS process node used for validation. In section III, one model previously used for Printed Circuits Board (PCB) [3] is analyzed and then improved to consider the specific case of thin layers thickness on a silicon substrate. A method to integrate the model in circuit design simulators (Eldo, Spectre and ADS (Advanced Design System)) is also proposed. Measurements, de-embedding and parameters extraction are presented in section IV. In section V, simulations resulting from our analytical model are compared with measurements of extracted lines parameters (beta, alpha and Z_{c0}) for two line widths. Then, the proposed model is

compared with simulation results from Momentum and an ADS Multilayer commercial tool. Differences, advantages and drawbacks of each tool are discussed before concluding.

II. BEOL DESCRIPTION AND LINE CONCEPTION

The 45nm bulk CMOS back end of STMicroelectronics offers of 7 copper metal layers (5 thin + 2 thick) and one thick aluminium metal layer (Alucap). Each metal layer is separated by one silicon oxide layer.

The integrated microstrip line (Fig. 1) is composed of one Alucap metal ribbon and a ground plane composed of Metal1 and Metal2 stacked layers. The ground plane includes holes which respect the metal densities rules in such a way that the two metal layers shield completely the high resistivity silicon substrate. The gap between the metal ribbon and the ground plane is composed of a Silicon oxide layer.

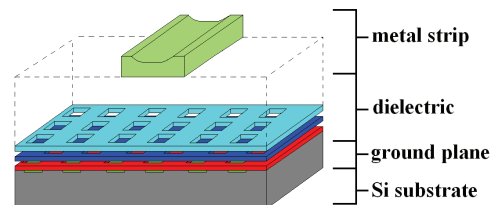


Fig. 1. Scheme of an integrated Alucap strip metal microstrip line with a Metal1/Metal2 ground plane

This configuration (Fig. 1) allows propagation lines with characteristic impedances from 15 Ω to 70 Ω in compliance with the CMOS 45nm technology recommended rules.

III. MODEL CHOICE AND DESCRIPTION

Fig. 2 shows the geometrical parameters of a microstrip line. Currently, three main models or approximate solutions are available to describe the behavior of such a line as a function of the frequency and its characteristic parameters.

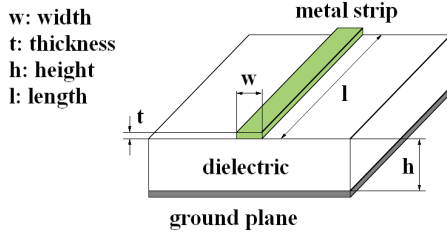


Fig. 2. Microstrip line scheme showing geometrical parameters

These three main analytical models were formulated respectively by H. A. Wheeler [1], M. V. Schneider [2], E. Hammerstad and Ø. Jensen [3]. A study of these 3 models leads us to choose the Hammerstad and Jensen one because it allows a large permittivity ϵ_r and w/h ratio values. Furthermore, it fits well with the realistic conditions of integrated lines and provides the best accuracy. Moreover this model allows to be improved to take CMOS back end effects into account.

First of all, the static resistance R_{DC} of the line is added to the model which does not take it into account, because of its slight effects due to the very low resistance of board integrated circuit. The R_{DC} is expressed by:

$$R_{DC} = \frac{\rho \cdot l}{w \cdot t} \quad (1)$$

where ρ , w , t and l are respectively the resistivity, the width, the height and the length of the metal strip.

Then, the characteristic impedance $Z_{c0}(\epsilon_r, w, h)$ and the effective permittivity $\epsilon_{reff0}(\epsilon_r, w, h)$ that depend only on the physical and geometrical parameters of the line, are established from [3]. A fit parameter $Corr_ \epsilon_{reff0}$ multiplies ϵ_{reff0} (~ 4 in this case) to fit measurements. For the 45nm technology $Corr_ \epsilon_{reff0} = 1.3$. This correction parameter takes into account the effect of the passivation which replaces air above the metal strip of the line.

Because the equations for $Z_{c0}(\epsilon_r, w, h)$ and $\epsilon_{reff0}(\epsilon_r, w, h)$ assume the metal strip thickness as null ($t=0 \mu m$), the line width must be corrected. Indeed, growing the strip thickness is physically equivalent to enlarging the strip width so that w becomes $w+\Delta w$. Because on silicon and on printed circuit board line geometries are different, a correction parameter, whose value is $Corr_ \Delta w = 0.4$, is applied on Δw to fit measurements.

Thus, modified formulas for the characteristic impedance and the effective permittivity applied to TFMS lines are established. The second step is to take into account the wave dispersion by making these parameters dependant on the frequency as [3]. Z_{c0} and ϵ_{reff0} are then written as:

$$Z_c(f, \epsilon_r, w + \Delta w, h) = Z_{c0}(\epsilon_r, w + \Delta w, h) \times \sqrt{\frac{\epsilon_{reff}(\epsilon_r, w + \Delta w, h)}{\epsilon_{reff0}(\epsilon_r, w + \Delta w, h)}} \quad (2)$$

and,

$$\epsilon_{reff}(f, \epsilon_r, w + \Delta w, h) = \epsilon_r - \frac{1}{1 + \frac{1}{6 \cdot Z_{c0}(f, \epsilon_r, w + \Delta w, h)}}$$

From these equations, we can extract the propagation constant $\gamma = \alpha + j\beta$ where α and β are respectively the attenuation and the phase constant. These expressions are established as a function of the corrected $\epsilon_{reff}(f, \epsilon_r, w + \Delta w, h)$ and the microstrip line physical and geometrical parameters (Fig.3). The microstrip line Z -matrix can be written as:

$$[Z]_{line} = \begin{pmatrix} \frac{Z_c}{\tanh(\gamma \cdot l)} & \frac{Z_c}{\sinh(\gamma \cdot l)} \\ \frac{Z_c}{\sinh(\gamma \cdot l)} & \frac{Z_c}{\tanh(\gamma \cdot l)} \end{pmatrix} \quad (4)$$

These parameters depend on f , ϵ_r , $w + \Delta w$, h and l . This model is implemented in Cadence framework for Eldo, Spectre or an other simulator. In this case, the designer has to create a component with w and l CDF (Component Definition File) parameters and make this object dependent on the model is described.

After the implementation, whether Eldo, Spectre or an other simulator, the object can be identified as a T model.

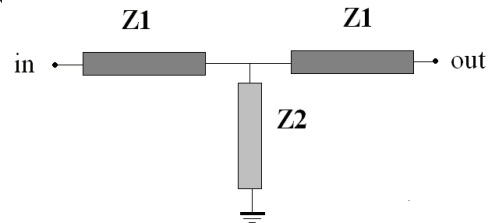


Fig. 3. Scheme of the T line model

Z_1 , and Z_2 are described by:

$$Z_1 = Z_c \left(\frac{1}{\tanh\left(\frac{\gamma l}{2}\right)} + \frac{R D_c}{2} \right) \quad (5)$$

and,

$$Z_2 = \frac{Z_c(f, \epsilon_r, w + \Delta w, h)}{\sinh(\gamma(f, \epsilon_r, w + \Delta w, h) \cdot l)} \quad (6)$$

Eldo and Spectre only accept R, L and C passive parameters, Z_1 , and Z_2 ((5) and (6)) should be written in a complex form $a+j.b$ and identified with R, L and C in the model netlist. Furthermore, Spectre cannot support frequency dependent components. With this simulator, the frequency has to be fixed to the needed value: it implies that the model is valid only at the chosen frequency.

For ADS (or RFDE) simulator, the matrix can be directly written in the netlist using complex form.

IV. MEASUREMENTS AND PARAMETERS EXTRACTION

The 3 μm and 9.2 μm width measured Alucap lines of 800 μm long each are designed with Metal1/Metal2 ground plane (Fig. 4). This length enables an accurate extraction of the attenuation constant without parasitics up to 110 GHz. The accesses to the line are composed of RF pads and a 50 μm length line on each part of the line.

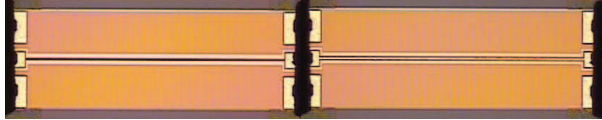


Fig. 4. Micro-photography of 3 μm width alucap strip (on the left) and 9.2 μm width (on the right) line of 800 μm long each with Metal1-Metal2 ground plane in 45nm technology

Measurements of the line S parameters are performed using ANRITSU ME7808C Broadband Vector Network Analyser (VNA) and a semi-automatic Cascade S300 station. A Line Reflect Reflect Match (LRRM) VNA calibration was used. The measurements RF probes are Cascade Microtech Infinity Probe in a ground-signal-ground (GSG) configuration.

To extract S parameters of the line from measurements, the accesses are de-embedded using the method presented in [7]. From the S parameters, the characteristic impedance, the propagation and attenuation constant of the microstrip line have been extracted using the Z parameters.

V. VALIDATION OF THE MODEL

Fig. 5 to 7 show respectively the characteristic impedance, the propagation constant and the attenuation constant measured and simulated for two Alucap metal strips of 3 and 9.2 μm width of 800 μm long each, corresponding to Fig. 4. The analytical model is simulated with Eldo from Mentor Graphics.

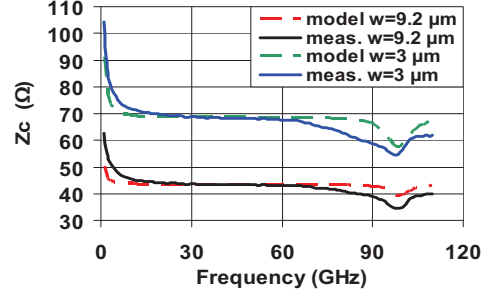


Fig. 5. Simulated and measured characteristic impedance

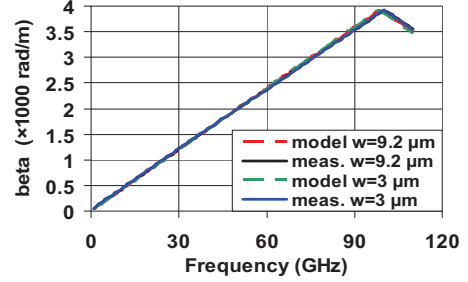


Fig. 6. Simulated and measured propagation constant

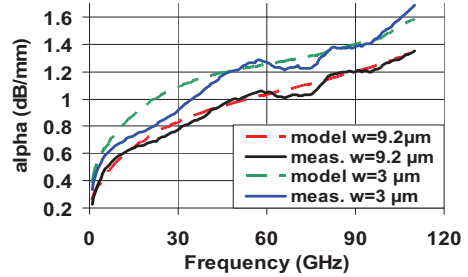


Fig. 7. Simulated and measured attenuation parameter

The results (Fig. 5 to 7) show good agreement between measurements and simulations: the model is therefore validated up to 110 GHz for different line widths. The resonance frequency f_{res} observed at 100 GHz on the characteristic impedance depends on length, on loading impedance and appears for a $\lambda/2$ length line. TFMSL often used in mm-wave designs have a maximum length of 500 μm to avoid this frequency resonance.

Fig. 8 to 10 show a comparison between measurements and simulations performed with Momentum, ADS Multilayer and this work simulated with Eldo. Note that

the line simulated with Momentum is 100 μm long to avoid time consuming simulations.

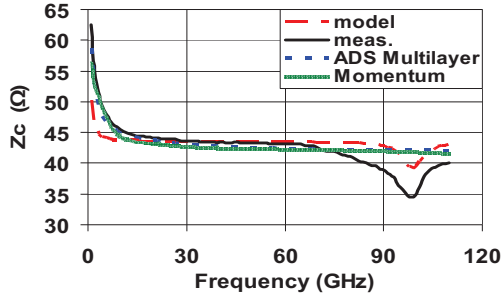


Fig. 8. Z_c measured and from simulators

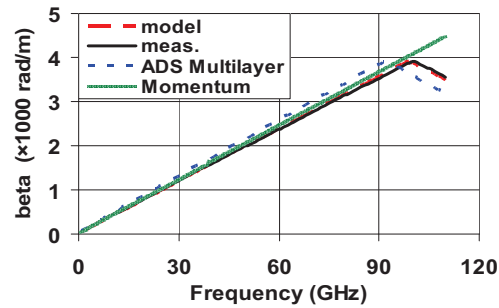


Fig. 9. β measured and from simulators

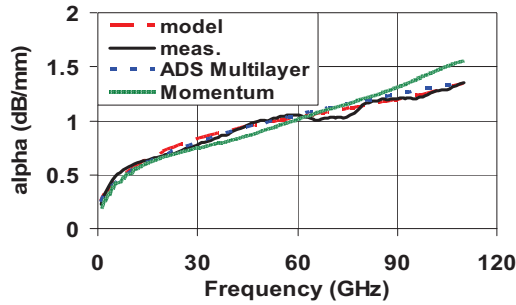


Fig. 10. α measured and from simulators

As shown Fig. 8 to 10, an excellent agreement is obtained between the analytical model compared to the other softwares up to 110 GHz.

Table I presents the benefits and the drawbacks of each simulation tool. Simulation time and integration issue into a Cadence environment have been compared. These results show the interest of using the proposed analytical model to simulate the T-line frequency behavior.

In further development, this model will be used to design matching lines for amplifiers in order to validate the model in the context of circuit design.

VII. CONCLUSION

Model accuracy of TFMS line is improved using CMOS 45 nm STMicroelectronics process, and can be used up to

110 GHz. It takes physical parameters like conductor dimensions and material properties into account. A good agreement between simulations and measurements is observed for the main line parameters (attenuation and propagation constants and characteristic impedance) as compared to commercial simulation software. Some restriction for designer was also pointed out like the line length or width that must be chosen carefully in accordance to be far from the line resonance frequency. This model can be developed and implemented for any technologies, using the same fit parameters.

TABLE I
Comparison between simulators

| | ADS Multilayer | Momentum 2008 | Proposed Model |
|-----------|--|--|---|
| benefits | -time of simulation (few sec.) -parametric model (w, l) | -simulation of the layout -help for attempt model (no fit parameter) | -time of simulation (few sec.) - parametric model (w, l) |
| drawbacks | -only used with Agilent tools | -time of simulation (> 1 hour for EM study and >100 μm) -insertion into cadence via s2p black box | -does not work well with Spectre |

REFERENCES

- [1] H. A. Wheeler, "Transmission-Line Properties of Parallel Strips Separated by a Dielectric Sheet", IEEE Trans. on MTT, vol. 13, no. 2, pp. 172-185, Mar. 1965.
- [2] M. V. Schneider, "Microstrip Lines for Microwave Integrated Circuits", The Bell System Technical Journal, vol. 48, pp. 1421-1444, May 1969.
- [3] E. Hammerstad and Ø. Jensen, "Accurate Models for Microstrip Computer-Aided Design", Symp. on MTT, pp. 407-409, June 1980.
- [4] E. Semouchkina, et al. "Combining FDTD simulations with measurements of microstrip ring resonators for characterization of low- and high-K dielectrics at microwaves", Microwave and Optical Technology Let., Vol. 29 Issue 1, Pages 21 – 24.
- [5] M. V. Schneider, "Microstrip Dispersion", Proc. of the IEEE, Let., vol. 60, Jan. 1972, pp. 144-146
- [6] L. N. Tran et al. "CAD-Oriented Model of a Coplanar Line on a Silicon Substrate Including Eddy-Current Effects and Skin Effect", IEEE Trans. on MTT, Vol. 56, n° 3, pp. 663-670, 2008.
- [7] A. M. Mangan, et al. "De-Embedding Transmission Line Measurements for Accurate Modeling of IC Designs", IEEE Trans. on Electron Devices, VOL. 53, NO. 2, February 2006.

65-, 45-, and 32-nm Aluminium and Copper Transmission-Line Model at Millimeter-Wave Frequencies

Thomas Quémerais, *Student Member, IEEE*, Laurence Moquillon, Jean-Michel Fournier, and Philippe Benech

Abstract—An improved analytical model of the CMOS 65-, 45-, and 32-nm silicon technology integrated transmission line is proposed. This model is derived from previous classical ones used for printed circuits board lines. Improvements have been performed to take into account the size of integrated lines. The study is validated up to millimeter-wave frequencies for different linewidths realized with various metal levels. Accurate results allow the model to be implemented in commercial computer-aided design software commonly used for millimeter-wave designs. A comparison with commercial tools is carried out.

Index Terms—CMOS 65 nm, 45- and 32-nm technologies, interconnect levels, microstrip lines, millimeter-wave frequency.

I. INTRODUCTION

THE MARKET of wireless transmission systems is growing and new industrial, scientific, and medical bands will be available for new applications in the millimeter-wave frequency range.

In parallel, silicon technologies offer transistors with transition frequency (f_T) greater than 100 GHz. This allows the realization of full integrated RF analog circuits on silicon, which is a key feature for future millimeter-wave communication systems. In this context, propagation lines used mainly for interconnections must be well modeled in the millimeter range for every geometrical parameter (length, width, oxide thickness, . . .) and available in computer-aided design software commonly used by designers. Comparable works up to 60 GHz are presented in the literature [1]–[3], but are not demonstrated to be included in computer-aided design tools or are limited to 40 GHz.

The presented model could easily be implemented in a design kit for designers. Microstrip lines were designed in the interconnect levels with metal and insulator layers (the back-end of line) of the STMicroelectronics 65-, 45-, and 32-nm CMOS

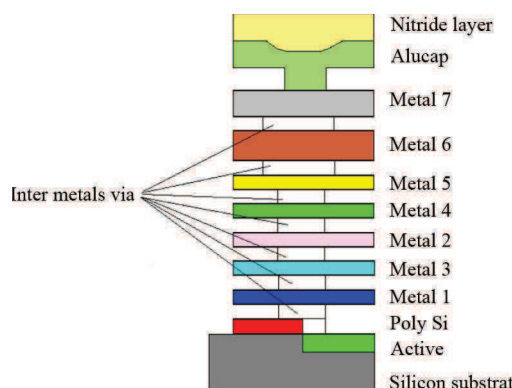


Fig. 1. Cross section of the STMicroelectronics CMOS 65-, 45-, and 32-nm overall processes.

process nodes. Afterwards, a model previously used for interconnection lines of printed circuits board [4] is analyzed and then improved to consider the specific case of thin layers on a silicon substrate. A method to integrate the model in circuit design simulators [Cadence, Mentor Graphics Eldo, Spectre, and Advanced Design System (ADS)] is also proposed. Finally, simulations resulting from the developed analytical model are compared with measurements of extracted line parameters: attenuation and propagation constant and characteristic impedance for two linewidths. These parameters, instead of conventional R , L , C , and G , are used by millimeter-wave integrated-circuit designers. The proposed model is then compared with simulation results from Momentum and an ADS Multilayer commercial tool. Differences, advantages, and drawbacks of each tool are discussed before concluding.

II. INTERCONNECT LEVELS DESCRIPTION AND TRANSMISSION LINE DESIGN

The STMicroelectronics 65-, 45-, and 32-nm bulk CMOS processes offers seven copper metal layers (5 thin + 2 thick) and one thick aluminium metal layer (alucap), as shown Fig. 1. Each metal layer is separated by one silicon-oxide layer and a nitride passivation layer is placed above the alucap to protect the circuits. The three different CMOS technologies have different metal thicknesses.

The replacement of aluminium by copper allows a lower resistance for conductors, but it requires a new process called damascene. Dummy fills need to be inserted in the damascene copper process to respect metal density rules and guarantee component integrity. This is due to the chemical-mechanical

Manuscript received January 12, 2010; accepted June 01, 2010. Date of publication August 09, 2010; date of current version September 10, 2010.

T. Quémerais is with STMicroelectronics, 38920 Crolles, France, and also with IMEP-LAHC, UMR INPG/UJF/US/CNRS, 38016 Grenoble, France (e-mail: thomas.quermais@st.com).

L. Moquillon is with STMicroelectronics, 38920 Crolles, France (e-mail: laurence.moquillon@st.com).

J.-M. Fournier and P. Benech are with IMEP-LAHC, UMR INPG/UJF/US/CNRS, 38016 Grenoble, France (e-mail: fournier@enserg.fr; Philippe.Benech@minatec.inpg.fr).

Color versions of one or more of the figures in this paper are available online at <http://ieeexplore.ieee.org>.

Digital Object Identifier 10.1109/TMTT.2010.2058277

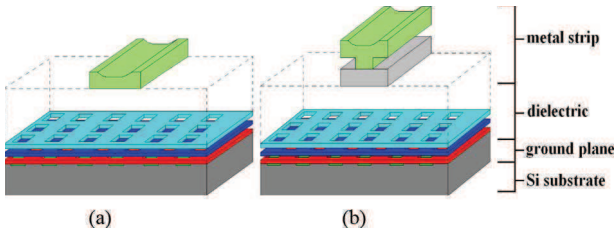


Fig. 2. Schematic of an: (a) integrated alucap strip metal (AP) and (b) alucap over metal 7 (AP/M7) microstrip line with a metal1/ metal2 (M1/M2) ground plane.

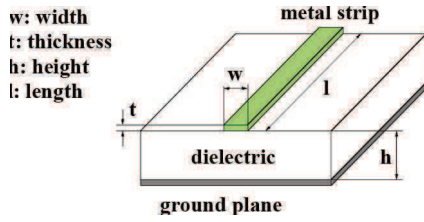


Fig. 3. Microstrip line scheme showing geometrical parameters.

polishing process, which is very sensitive to the metal density [5], and can create topographical and electrical defects called erosion in high-density areas and dishing in wide lines [6]. To provide a uniform surface planarity, more or less severe density rules are applied to every metal layers [7]. The density rule imposes metal density between 20%–80%. The direct consequence is to make holes for large metal areas. This is not necessary for the conducting metal strip, but only for large ground plane usually designed in the two first metal layers.

The integrated microstrip line (Fig. 2) is composed of one alucap metal ribbon and a ground plane made of metal1 and metal2 stacked layers. The ground plane includes holes that respect the metal density rules in such a way that the two metal layers shield completely the high-resistivity silicon substrate [8]. The gap between the metal ribbon and ground plane is composed of a silicon-oxide layer. For the design of the line, an exemption to the rule was authorized around the metal trip of the line.

When the strip metal is only composed of alucap, this configuration [see Fig. 2(a)] results in propagation lines with characteristic impedances from 15 to 69 Ω in compliance with the CMOS 45-nm technology recommended rules, from 15 to 62 Ω in 32 nm and from 15 to 65 Ω in 65 nm. When the strip metal is composed of alucap and metal 7 stacked [see Fig. 2(b)], the resulting characteristic impedances are from 25 to 50 Ω in 65 nm, from 20 to 52 Ω in 45 nm, and from 25 to 53 Ω in 32 nm.

III. MODEL CHOICE AND DESCRIPTION

Fig. 3 shows the geometrical parameters of a microstrip line. Currently, three main models or approximate solutions are available to describe the behavior of such a line as a function of the frequency and its characteristic parameters.

These three main analytical models were formulated respectively by Wheeler [9], Schneider [10], and Hammerstad and Jensen [4]. Each of these models has advantages and drawbacks and we can find in the literature several papers that point out the

limitations in different cases and some improvements to match model with measurements [11], [12].

However, these models can be used as a basis to approach a real case of application. The more important problem reported in literature is the determination or the representation of the dielectric constant over a wide range of frequencies. For this purpose, one possibility is to use microstrip lines, and for this reason papers using this configuration [13] can be found in the literature. An important consideration is that the thin-film microstrip line is quite different from classical microstrip lines in terms of dimensions. First, the widths of integrated lines are in the range of a few micrometers and not hundreds of micrometers, as in printed circuit boards, and secondly, the metal layer thicknesses are in the range of micrometers or less, increasing conductor losses. Some papers present transmission line models, but the used technology is not clearly presented and the frequency range is generally limited to a few gigahertz [5]–[9]. The three models are quickly analyzed to detect the more accurate one in our conditions of design tools and technology.

On the Wheeler model, the synthesis and analysis equations are based upon a conformal mapping's approximation of the dielectric boundary with parallel conductor strips separated by a dielectric sheet. Moreover, this model can only be applicable to alumina type substrates with relative permittivity ϵ_r in the range of 8–12, not to silicon substrates ($\epsilon_r \sim 4$). For this reason, the model is unusable for our purposes.

The Schneider model defines two operating regions according to the geometrical parameters of the line, mainly width and height. The separation region determined by $w/h = 1$ is located in the range of our application. This limitation implies a noncontinuity of the model, which makes it unusable here.

Aforementioned limitations lead to choosing the Hammerstad and Jensen model [4] because it allows a wide range permittivity ϵ_r and w/h ratio values. Furthermore, it fits well with the realistic conditions of integrated lines and provides the best accuracy. Moreover, this model has to be improved to take into account back-end effects in CMOS technologies.

The basis of the model proposed in [4] is to consider the nonquasi-TEM mode. With this assumption, the characteristic impedance and effective permittivity of the line are expressed as a nonlinear function that depends on physical dimensions of the line.

First of all, the static resistance R_{DC} of the integrated line is added to the model, which does not take it into account, as it is negligible in lines on the printed circuit board. The resistance is expressed by

$$R_{DC} = \frac{\rho l}{wt} \quad (1)$$

where ρ , w , t , and l are, respectively, the resistivity, width, thickness, and length of the metal strip.

The characteristic impedance $Z_{co}(\epsilon_r, w, h)$ and effective permittivity $\epsilon_{reff0}(\epsilon_r, w, h)$ that depend only on the physical and geometrical parameters of the line are then established from [4]. A fitting parameter $\text{Coff}_{\epsilon_{reff0}}$ multiplies ϵ_{reff0} (~ 4 , in this case) to fit measurements. For the 65-, 45-, and 32-nm technologies, $\text{Coff}_{\epsilon_{reff0}} = 1.3$. This result is not surprising because

the three technologies have the same physical parameters, only the dimensions change. Furthermore, this result is in accordance with the literature [14], [15]. The correction parameter takes into account the effect of the nitride passivation layer ($\epsilon_r = 8$) deposited above the highest metal strip of the line and which increases the ϵ_{reff0} parameter.

Since the equations for $Z_{c0}(\epsilon_r, w, h)$ and $\epsilon_{\text{reff0}}(\epsilon_r, w, h)$ assume that the metal strip thickness is null ($t = 0 \mu\text{m}$), the linewidth must be corrected. Indeed, growing the strip thickness is physically equivalent to enlarging the strip width so that w becomes $w + \Delta w$ [4]. Since line geometries are different between silicon and on printed circuit boards, a correction parameter, whose value is $\text{Coff} \cdot \Delta w = 0.4$ for the 45-nm technology and 0.55 for the 65- and the 32-nm technologies (whose metal layers have larger thickness), is applied on Δw to fit measurements. A similar correction of the effective width value has been done in [2].

Thus, modified formulas for the characteristic impedance and the effective permittivity applied to thin-film microstrip lines are established. The second step is to take into account the wave dispersion by making these parameters dependent on the frequency. Z_{c0} and ϵ_{reff0} established from [4] are then written as

$$\begin{aligned} Z_c(f, \epsilon_r, w + \Delta w, h) \\ = Z_{c0}(\epsilon_r, w + \Delta w, h) \\ \times \sqrt{\frac{\epsilon_{\text{reff}}(\epsilon_r, w + \Delta w, h)}{\epsilon_{\text{reff}}(f, \epsilon_r, w + \Delta w, h)} \frac{\epsilon_{\text{reff}}(f, \epsilon_r, w + \Delta w, h) - 1}{\epsilon_{\text{reff0}}(\epsilon_r, w + \Delta w, h) - 1}} \end{aligned} \quad (2)$$

and

$$\begin{aligned} \epsilon_{\text{reff}}(f, \epsilon_r, w + \Delta w, h) \\ = \epsilon_r - \epsilon_{\text{reff0}}(\epsilon_r, w + \Delta w, h) \\ \times \frac{1}{1 + \frac{\pi^2 \mu_0 h f (\epsilon_r - 1)}{6 Z_{c0}(\epsilon_r, w + \Delta w, h) \epsilon_{\text{reff0}}(\epsilon_r, w + \Delta w, h)}} \\ \times \frac{1}{\sqrt{\frac{2\pi Z_{c0}(\epsilon_r, w + \Delta w, h)}{\sqrt{\frac{\mu_0}{\epsilon_0}}}}}. \end{aligned} \quad (3)$$

The last step is to establish from those equations the wave propagation constant $\gamma = \alpha + j\beta$, where α and β parameters are, respectively, the attenuation and propagation constant.

These expressions are established from [4] as a function of the corrected $\epsilon_{\text{reff}}(f, \epsilon_r, w + \Delta w, h)$ and $Z_c(f, \epsilon_r, w + w, h)$ and the microstrip line physical and geometrical parameters (Fig. 3). The microstrip line $[Z]$ matrix can be written as

$$[Z_{\text{line}}] = \begin{pmatrix} \frac{Z_c}{\tanh(\gamma l)} & \frac{Z_c}{\sinh(\gamma l)} \\ \frac{Z_c}{\sinh(\gamma l)} & \frac{Z_c}{\tanh(\gamma l)} \end{pmatrix} \quad (4)$$

where each parameters depend on f , ϵ_r , $w + \Delta w$, h , and l .

To use the developed model in the Cadence framework for Eldo, Spectre, or ADS simulations, the designer has to first

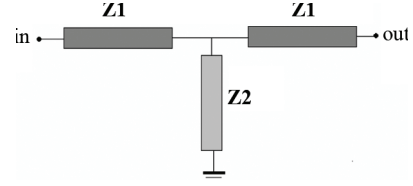


Fig. 4. Scheme of the T line model.

create a black box with w and l component description format parameters and make this object point to the netlist including the model. This allows an easy correspondence between the layout and the schematic for millimeter-wave designers.

To include the matrix (4) in either Eldo, Spectre, or an ADS netlist, its components have to be identified as a T model presented in Fig. 4.

Z_1 , and Z_2 are described by

$$Z_1 = Z_c \left(\frac{1}{\tanh\left(\frac{\gamma l}{2}\right)} \right) + \frac{R_{\text{DC}}}{2} \quad (5)$$

and

$$Z_2 = \frac{Z_c(f, \epsilon_r, w + \Delta w, h)}{\sinh(\gamma(f, \epsilon_r, w + \Delta w, h)l)} \quad (6)$$

Equations (5) and (6) are written into a netlist for the simulators. As Eldo and Spectre only accept R , L , and C passive parameters, Z_1 and Z_2 [see (5) and (6)] should be written in a complex form $a + jb$ and identified with R , L , and C in the model netlist. Furthermore, Spectre cannot support frequency-dependent components. With this simulator, the frequency has to be fixed: this implies that the model is valid only at the chosen frequency.

For an ADS simulator, (5) and (6) can be directly written in the netlist using complex form.

IV. MEASUREMENTS AND PARAMETER EXTRACTION

To develop an accurate model of thin-film microstrip lines in 65-, 45-, and 32-nm technologies, ten lines were designed as reported in Table I.

The lines are 500- and 800- μm long to enable an accurate extraction of the attenuation constant without parasitics up to 110 GHz. Furthermore, all the lines have a metal1/metal2 ground plane. The accesses to the line are composed of RF pads and 50- μm length accesses on each end of the line (Fig. 5).

Measurements of the S -parameters of the lines are performed using an ANRITSU ME7808C Broadband vector network analyzer (VNA) and a semiautomatic Cascade S300 station. The measurement RF probes are Cascade Microtech Infinity probes in a ground-signal-ground (GSG) configuration.

For the calibration of the VNA, we had at our disposal the Cascade impedance standard substrate (ISS) with the reference 104–783. The calibration can be performed by using other calibration devices like on-wafer standards or the GaAs substrate. The last one is used for the National Institute of Standards and

TABLE I
LINES REALIZED IN CMOS 65, 45 , AND 32 nm

| | Technology | Metal strip Composition | Width (μm) | Length (μm) |
|---------|------------|-------------------------|------------|-------------|
| Line 1 | 65nm | AP/M7 | 9 | 800 |
| Line 2 | 65nm | AP/M7 | 4.4 | 800 |
| Line 3 | 65nm | AP | 9 | 800 |
| Line 4 | 65nm | AP | 4.4 | 800 |
| Line 5 | 45nm | AP/M7 | 9.2 | 800 |
| Line 6 | 45nm | AP/M7 | 3 | 800 |
| Line 7 | 45nm | AP | 9.2 | 800 |
| Line 8 | 45nm | AP | 3 | 800 |
| Line 9 | 32nm | AP | 9 | 500 |
| Line 10 | 32nm | AP | 3 | 500 |

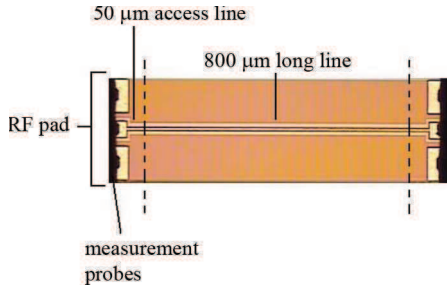


Fig. 5. Microphotography of a 9.2-μm-wide line 800-μm long, each with metal1/metal2 ground plane in 45-nm technology with the RF pads and accesses.

Technology (NIST) multiline [line-reflect-line (LRL)] calibration. We have tried to find the best possible calibration procedure.

With the Cascade ISS, three calibrations are possible: short-open-load-thru (SOLT) [16], load-reflect-match (LRM) [18] and load-reflect-reflect-match (LRRM) [17]. After each of the calibration, the reflection and transmission coefficient of an Alucap line of 9.2-μm width and 800-μm length in a 45-nm CMOS technology were measured. The measurement results are presented in Figs. 6 and 7. The SOLT calibration is very noisy, as it can be observed on the transmission coefficient in Fig. 7. Thus, this calibration was eliminated. The LRM and LRRM calibrations give very close results. However, as it is stated in [19] and [20], the LRM calibration technique requires a match load for each ports of the VNA. If the two match loads are not equal, the measurement accuracy is reduced. Moreover, the probe placement error has less influence when LRRM calibration is used [17]. For these reasons, we decided to use the LRRM calibration.

To extract the S -parameters of the line from measurements, the accesses (RF pad and 50-μm access) are de-embedded using the method presented in [21]. This method that removes pad parasitics and pad-line discontinuities is used for the characterization of lossy integrated transmission lines and enables an accurate characteristic impedance measurement. The characteristic

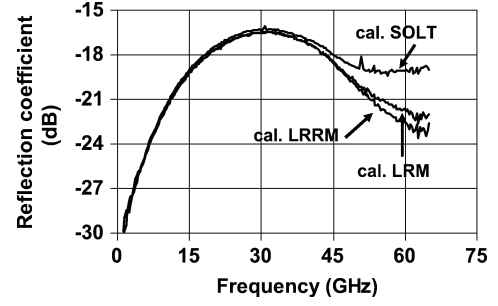


Fig. 6. Measured reflection coefficient of a 45-nm technology microstrip line with different VNA calibrations.

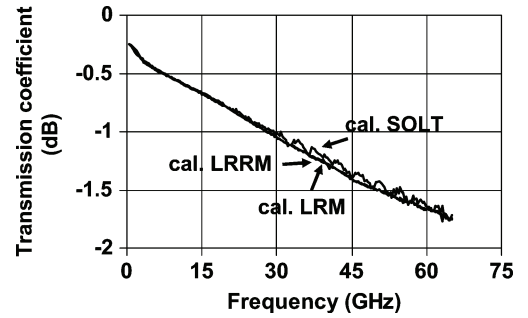


Fig. 7. Measured transmission coefficient of a 45-nm technology microstrip line with different VNA calibrations.

impedance (7), propagation constant (8), and attenuation constant (9) of the microstrip line have been established from [21] using the corrected Z parameters

$$\alpha = \frac{8.686 \left| \text{real} \left(\log \left(\frac{Z_{11}}{Z_{21}} \right) + \sqrt{\frac{Z_{11}^2}{Z_{21}^2} - 1} \right) \right|}{l} \quad (7)$$

$$\beta = \frac{\left| \text{imag} \left(\log \left(\frac{Z_{11}}{Z_{21}} \right) + \sqrt{\frac{Z_{11}^2}{Z_{21}^2} - 1} \right) \right|}{l} \quad (8)$$

$$Z_c = \sqrt{Z_{11}^2 - Z_{21}^2} \quad (9)$$

where l is the line length.

V. VALIDATION OF THE MODEL

The improved model is compared to the other models and measurements on Figs. 8–10. For this purpose, an alucap/metal7 line of 9-μm width and 800-μm length in a 65-nm technology is chosen. The characteristic impedance obtained with the Schneider and Wheeler models are much larger than the measured one. The improvements obtained with the presented model are clearly visible on Figs. 8–10.

Figs. 11–13 show, respectively, the characteristic impedance, propagation constant, and attenuation constant measured and simulated for two alucap/metal7 metal strips of 4.4- and 9-μm width and 800-μm length in 65-nm technology.

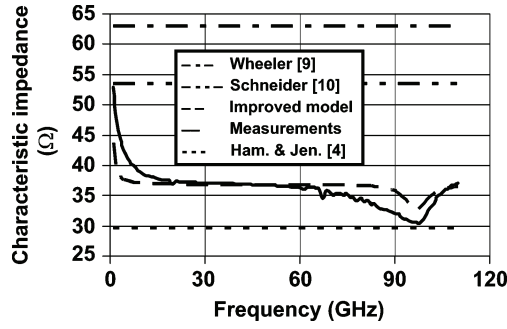


Fig. 8. Simulated and measured characteristic impedance of a 65-nm technology microstrip line.

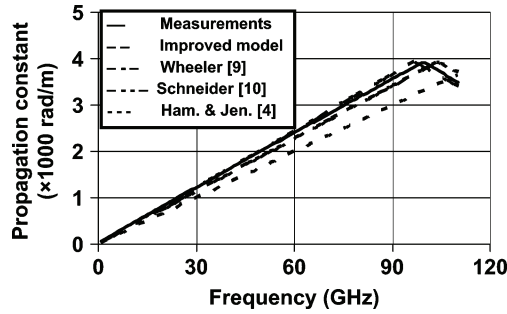


Fig. 9. Simulated and measured propagation constant of a 65-nm technology microstrip line.

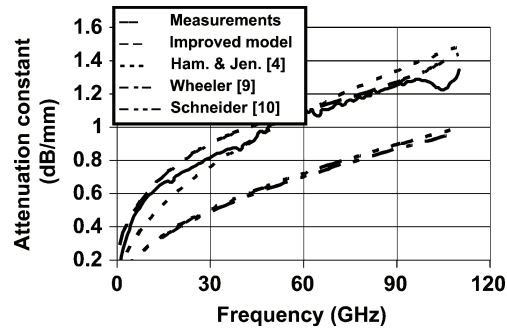


Fig. 10. Simulated and measured attenuation constant of a 65-nm technology microstrip line.

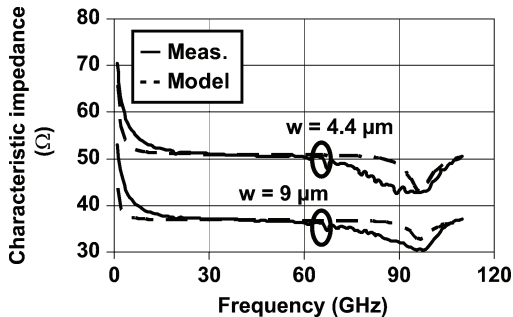


Fig. 11. Simulated and measured characteristic impedance of 65-nm technology microstrip lines.

Figs. 14–16 show, respectively, the characteristic impedance, propagation constant, and attenuation constant measured and simulated for two alucap metal strips of 3- and 9.2- μm width and 800- μm length in 45-nm technology.

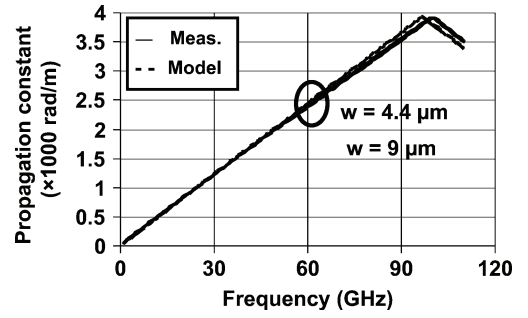


Fig. 12. Simulated and measured propagation constant of 65-nm technology microstrip lines.

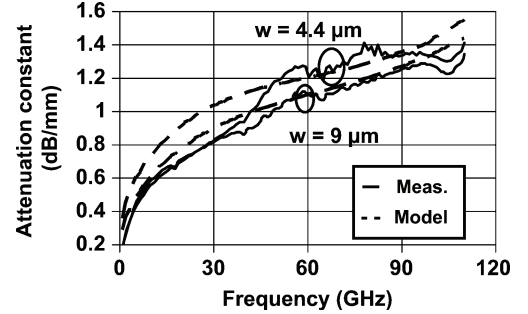


Fig. 13. Simulated and measured attenuation constant of 65-nm technology microstrip lines.

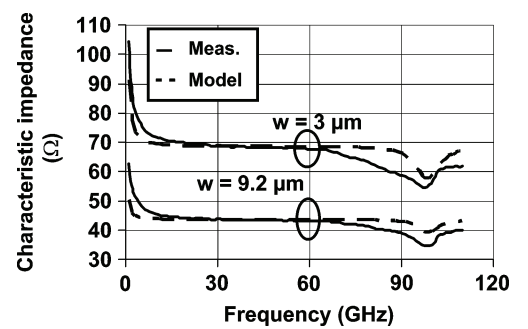


Fig. 14. Simulated and measured characteristic impedance of 45-nm technology microstrip lines.

Figs. 17–19 show, respectively, the characteristic impedance, propagation constant, and attenuation constant measured and simulated for two alucap metal strips of 3- and 9- μm width and 500- μm length in 32-nm technology.

The results (Figs. 11–19) show good agreement between measurements and simulations: the model is, therefore, validated millimeter-wave frequencies for different linewidths and different technologies.

The resonance frequency observed at 100 GHz on the characteristic impedance depends on length, on loading impedance, and appears for a $\lambda/2$ length line. Thin-film microstrip lines often used in millimeter-wave designs have a maximum length of 500 μm to avoid this frequency resonance. Nevertheless, the difference between measurement and simulation observed from 70 to 110 GHz on the characteristic impedances curves comes from the model [see (5) and (6)], which does not well describe the resonance of the lines.

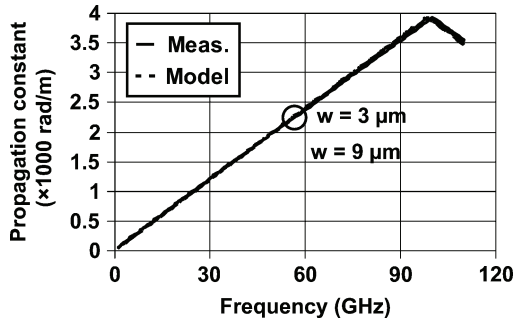


Fig. 15. Simulated and measured propagation constant of 45-nm technology microstrip lines.

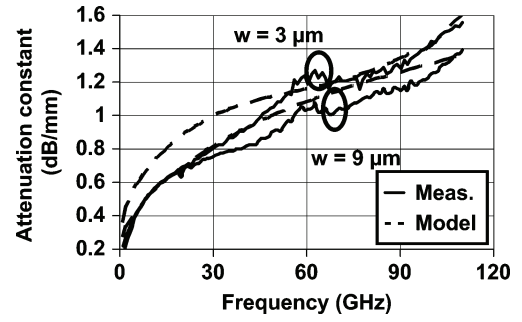


Fig. 19. Simulated and measured attenuation constant of 32-nm technology microstrip lines.

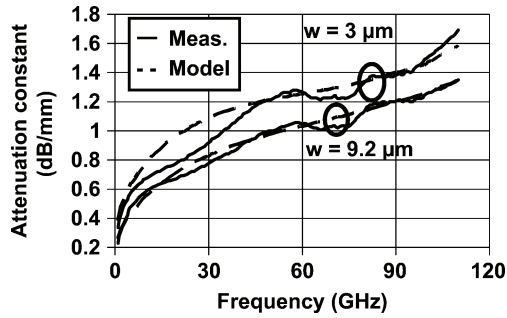


Fig. 16. Simulated and measured attenuation constant of 45-nm technology microstrip lines.

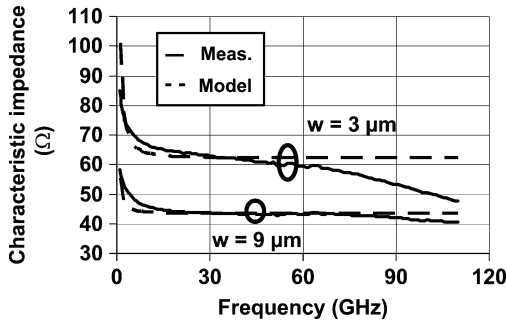


Fig. 17. Simulated and measured characteristic impedance of 32-nm technology microstrip lines.

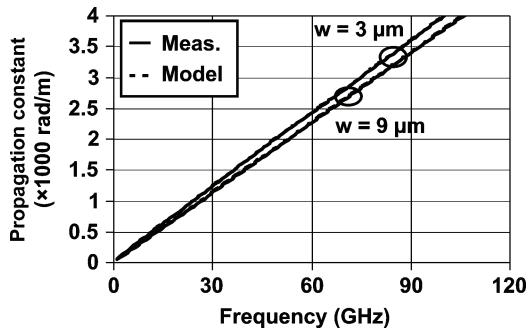


Fig. 18. Simulated and measured propagation constant of 32-nm technology microstrip lines.

Table II presents the measured and simulated characteristic parameters of the realized lines at 60 GHz. This frequency is one of the most used for millimeter-wave applications.

TABLE II
COMPARISON MEASUREMENTS VERSUS SIMULATION OF THE
LINES CHARACTERISTIC PARAMETERS AT 60 GHz

| Techno. | Metal strip Comp. | Width (μm) | Alpha (dB/mm) at 60 GHz | | Zc (Ω) at 60 GHz | |
|---------|-------------------|------------|-------------------------|------|------------------|------|
| | | | Meas. | Sim. | Meas. | Sim. |
| 65nm | AP/M7 | 9 | 1.15 | 1.15 | 37 | 37 |
| 65nm | AP/M7 | 4.4 | 1.20 | 1.21 | 52 | 52 |
| 65nm | AP | 9 | 0.97 | 0.99 | 47 | 47 |
| 65nm | AP | 4.4 | 1.18 | 1.21 | 65 | 65 |
| 45nm | AP/M7 | 6 | 1.12 | 1.2 | 42 | 42 |
| 45nm | AP/M7 | 3 | 1.22 | 1.25 | 55 | 55 |
| 45nm | AP | 9.2 | 1.04 | 1.05 | 43 | 43 |
| 45nm | AP | 3 | 1.22 | 1.22 | 69 | 69 |
| 32nm | AP | 9 | 1.1 | 1.11 | 44 | 44 |
| 32nm | AP | 3 | 1.23 | 1.18 | 59 | 62 |

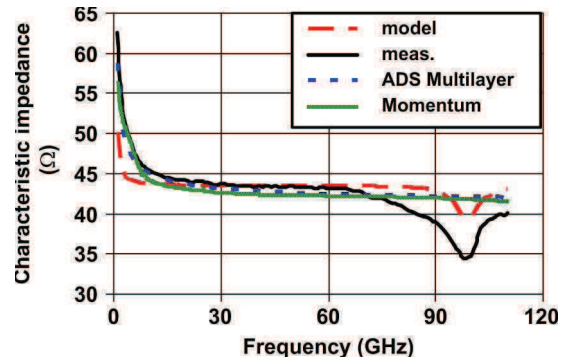


Fig. 20. Characteristic impedance measured and from simulators.

The results show good agreement between measurements and model for all the lines. The developed model is valid for linewidths between 4.4–25 μm in 65 nm and between 3–25 μm in 45- and 32-nm technologies.

VI. COMPARISON BETWEEN ELECTROMAGNETIC SIMULATORS

Figs. 20–22 show a comparison between measurements and simulations performed with Momentum, ADS Multilayer, and this work simulated with Eldo of a 9.2-μm width alucap metal strip and 800-μm length in 45-nm technology.

The line simulated with Momentum is 100-μm long to avoid time-consuming simulations. Moreover, the physical and geometrical parameters of the metal and oxide layers result from

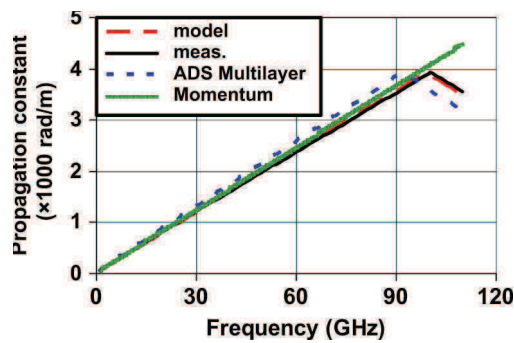


Fig. 21. Propagation constant measured and from simulators.

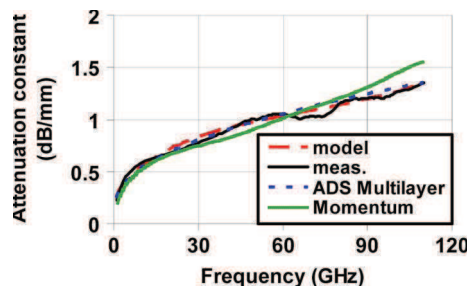


Fig. 22. Attenuation constant measured and from simulators.

TABLE III
COMPARISON BETWEEN SIMULATORS

| | ADS Multilayer | Momentum 2008 | Proposed Model |
|---------------|--|--|---|
| Benef. | -time of simulation (few sec.) -parametric model (w, l) | -simulation of the layout -help for attempt model (no fit parameter) | -time of simulation (few sec.) - parametric model (w, l) |
| Draw. | -only used with Agilent tools | -time of simulation (> 1 hour for EM study and >100 μm) -insertion into cadence via s2p black box | -does not work well with Spectre |

the process description of CMOS 45-nm technology from the STMicroelectronics.

The same comparisons have been made in 65- and 32-nm technologies, but not presented here, and have given similar results. An excellent agreement is obtained between the analytical model compared to the other softwares up to 110 GHz.

Table III presents the benefits and the drawbacks of each simulation tool. Simulation time and integration into a Cadence environment have been compared. These results show the interest of using the proposed analytical model to simulate the transmission line frequency behavior.

In further development, this model will be used to design matching lines for amplifiers in order to validate the model in the context of circuit design.

VII. CONCLUSION

The model of thin-film microstrip line is improved using CMOS 65-, 45-, and 32-nm STMicroelectronics processes, and validated at millimeter-wave frequencies. It takes physical parameters like conductor dimensions and material properties into account. A good agreement between simulations and measurements is observed for the main line parameters (attenuation and propagation constants and characteristic impedance) as compared to commercial softwares. Some design restriction for the designer is also pointed out like the line length or linewidth that must be chosen carefully to avoid the line resonance frequency. The insertion of the model into Cadence allows an easy correspondence between the layout and schematic for millimeter-wave designers. This model can be developed and implemented in the three main computer-aided design simulators for any technologies using the same fit parameters.

ACKNOWLEDGMENT

The authors want to thank S. Pruvost, P. Garcia and D. Pache, all with STMicroelectronics, Crolles, France, for their help during the modeling work. The authors would also like to thank N. Corrao, IMEP-LAHC, Grenoble, France, for the measurements.

REFERENCES

- [1] M. V. Schneider, "Microstrip dispersion," *Proc. IEEE*, vol. 60, no. 1, pp. 144–146, Jan. 1972.
- [2] L. N. Tran, D. Pasquet, E. Bourdel, and S. Quintanel, "CAD-oriented model of a coplanar line on a silicon substrate including eddy-current effects and skin effect," *IEEE Trans. Microw. Theory Tech.*, vol. 56, no. 4, pp. 663–670, Apr. 2008.
- [3] J. Zheng, Y.-C. Hahm, V. K. Tripathi, and A. Weisshaar, "Cad-oriented equivalent-circuit modeling of on-chip interconnects on lossy silicon substrate," *IEEE Trans. Microw. Theory Tech.*, vol. 48, no. 9, pp. 1443–1451, Sep. 2000.
- [4] E. Hammerstad and Ø. Jensen, "Accurate models for microstrip computer-aided design," *IEEE Trans. Microw. Theory Tech.*, vol. MTT-28, no. 6, pp. 407–409, Jun. 1980.
- [5] S. Kordic, H. Banvillet, and R. M. Gonella, "CMP of metals," in *Mater. Res. Soc. Symp.*, San Francisco, CA, Apr. 2000, pp. 110–113.
- [6] T. Park, T. Tugbawa, J. Yoon, D. Boning, J. Chung, R. Muralidhar, S. Hymes, Y. Gotkis, S. Alamgir, R. Walesa, L. Shumway, G. Wu, F. Zhang, and R. Kistler, "Pattern and process dependencies in copper damascene chemical mechanical polishing processes," in *VLSI Multi-level Interconnect Conf.*, Santa Clara, CA, Jun. 1998, pp. 437–442.
- [7] A. B. Kahng, G. Robins, A. Singh, and A. Zelikovsky, "Filling algorithms and analyses for layout density control," *IEEE Trans. Comput.-Aided Design Integr. Circuits Syst.*, vol. 18, no. 4, pp. 445–462, Apr. 1999.
- [8] L. F. Tiemeijer, R. M. T. Pijper, R. J. Havens, and O. Hubert, "Low-loss patterned ground shield interconnect transmission lines in advanced IC processes," *IEEE Trans. Microw. Theory Tech.*, vol. 55, no. 3, pp. 561–570, Mar. 2007.
- [9] H. A. Wheeler, "Transmission-line properties of parallel strips separated by a dielectric sheet," *IEEE Trans. Microw. Theory Tech.*, vol. MTT-13, no. 2, pp. 172–185, Mar. 1965.
- [10] M. V. Schneider, "Microstrip lines for microwave integrated circuits," *Bell Syst. Tech. J.*, vol. 48, pp. 1421–1444, May 1969.
- [11] F. Schneider and W. Heinrich, "Model of thin-film microstrip line for circuit design," *IEEE Trans. Microw. Theory Tech.*, vol. 49, no. 1, pp. 104–110, Jan. 2001.
- [12] K. S. R. Krishna, J. L. Narayana, and L. P. Reddy, "ANN models for microstrip line synthesis and analysis," *Int. J. Elect. Syst. Sci. Eng.*, vol. 1, no. 3, pp. 196–200, 2008.

- [13] E. Semouchkina, W. Cao, M. Lanagan, R. Mittra, and W. Yu, "Combining FDTD simulations with measurements of microstrip ring resonators for characterization of low- and high- K dielectrics at microwaves," *Microw. Opt. Technol. Lett.*, vol. 29, no. 1, pp. 21–24, Apr. 2001.
- [14] C. Warns, W. Menzel, and H. Schumacher, "Transmission lines and passive elements for multilayer coplanar circuits on silicon," *IEEE Trans. Microw. Theory Tech.*, vol. 46, no. 5, pp. 616–622, May 1998.
- [15] H. Ishii, N. Sahri, T. Nagatsuma, K. Machida, K. Saito, S. Yagi, M. Yano, K. Kudo, and H. Kyuragi, "New fabrication process for low-loss millimeter-wave transmission lines on silicon," *Jpn. J. Appl. Phys.*, vol. 39, pp. 1982–1986, 2000.
- [16] Safwat, A. M. E. Hayden, and Leonard, "Sensitivity analysis of calibration standards for SOLT and LRRM," in *58th ARFTG Microw. Meas. Conf.*, San Diego, CA, Nov. 2001, pp. 1–10.
- [17] L. Hayden, "An enhanced line–reflect–reflect–match calibration," in *67th ARFTG Microw. Meas. Conf.*, San Francisco, CA, Jun. 2006, pp. 143–149.
- [18] D. F. Williams and R. B. Marks, "LRM probe-tip calibrations using non ideal standards," *IEEE Trans. Microw. Theory Tech.*, vol. 43, no. 2, pp. 466–469, Feb. 1995.
- [19] A. Davidson, K. Jones, and E. Strid, "LRM and LRRM calibrations with automatic determination of load inductance," in *36th ARTFG Conf. Dig.*, Nov. 1990, pp. 57–63.
- [20] F. Purroy and L. Pradell, "New theoretical analysis of the LRRM calibration technique for vector network analyzers," *IEEE Trans. Instrum. Meas.*, vol. 50, no. 5, pp. 1307–1314, Oct. 2001.
- [21] A. M. Mangan, S. P. Voinigescu, and M.-T. Y. Tazlauanu, "De-embedding transmission line measurements for accurate modeling of IC designs," *IEEE Trans. Electron Devices*, vol. 53, no. 2, pp. 235–241, Feb. 2006.



Thomas Quémerais (S'10) was born in Guérande, France, in May 1982. He received the M.S. degree in physics of semiconductors and microwaves from the Grenoble Institute of Technology (INPG), Grenoble, France in 2007, and is currently working toward the Ph.D. degree at STMicroelectronics and the IMEP-LAHC Institute, the Microelectronics, Electromagnetism and Photonic Laboratory, INPG, Grenoble, France, as part of the Microwaves and RFIC Design and Modeling Team, INPG.

His research concerns the domain of passive and active device modeling and integrated circuit (IC) design at millimeter-wave frequencies in advanced CMOS technologies and devices and circuits reliability at high frequencies.



CMOS technologies.

Laurence Moquillon received the M.S. and Ph.D. degrees from the University of Limoges, Limoges, France, in 2001. Her doctoral research with the Microwave and Optical Communication Research Institute (now XLIM), Limoges, France, concerned the study of microwave planar ring resonator multipole active filters.

Since 2001, she has been with STMicroelectronics, Crolles, France. Her principal research interests are RF and millimeter-wave circuit designs for wireless communication using SiGe BiCMOS and advanced



Jean-Michel Fournier received the Electronic Engineering degree from the National Engineer School (ENSEEHT), Toulouse, France, in 1974, and the M.S. and Ph.D. degrees in solid-state physics from the University Claude Bernard, Lyon, France, in 1975 and 1979, respectively.

In 1979, he joined Research and Development of the Microelectronic Department, France Telecom, Grenoble, France, where he was involved with analog MOS application-specific integrated circuit (ASIC) development (high-speed video amplifiers, Gmc filters, device modeling). From 1992 to 1996, he was in charge of the Analog Design Group, during which time he focused his interest on the BiCMOS process for RF applications. Since 1996, he has been a Professor with the School of Electronic and Physics of INPG (PHELM), Grenoble, France. With the IMEP-LAHC Laboratory, his main research interest is the design of analog RF and millimeter-wave integrated circuits in CMOS technology.



Philippe Benech received the M.S. degree in microelectronics from the University of Montpellier, Montpellier, France, in 1987, and the Ph.D. degree in instrumentation from the University Joseph Fourier, Grenoble, France, in 1990.

Since 2000, he has been a Professor with the University Joseph Fourier and a Researcher with IMEP-LAHC, Grenoble, France. His field of interest is in the domain of integration of passive components and functions for telecommunications.

CMOS 45 nm 3D Metal-Oxide-Metal Capacitors for Millimeter Wave Applications

Thomas Quémerais^{1,2}, Laurence Moquillon², Philippe Benech¹, Jean-Michel Fournier¹, Sébastien Pruvost²

¹IMEP-LHAC, UMR INPG/UJF/US/CNRS, 3 parvis Louis Néel, BP 257, 38016 Grenoble Cedex, France

²STMicroelectronics, 850 rue Jean Monnet 38920 Crolles, France

Email : quemerat@minatec.inpg.fr

ABSTRACT: Novel 3D metal-oxide-metal capacitors for 60 GHz applications in a CMOS 45 nm process are proposed. Relatively high capacitances density of $3 \text{ fF}/\mu\text{m}^2$ and quality factors from 3.2 to 10.2 at 60 GHz are measured. The study is validated up to 110 GHz for different capacitance values.

KEY WORDS: interconnect levels, CMOS 45 nm technology, millimeter wave frequencies, MOM capacitors.

1. INTRODUCTION

The market of wireless transmission systems is growing and new industrial, scientific and medical bands will be available for new applications in the millimeter wave (mmw) frequency range. In parallel, silicon technologies offer transistors with transition frequency (f_T) greater than 100 GHz. This allows the realization of fully integrated radio frequency (RF) analog circuits on silicon, which is a key feature for future millimeter wave communication systems. In this context, integrated capacitors are critical elements of these circuits. They should have a high capacitance density, a high quality factor (Q) and low parasitic series elements values. Today three main integrated capacitors are used at radiofrequencies: the metal-oxide-metal (MOM) capacitor, the metal-insulator-metal (MIM) capacitors and the 3D trench capacitors. The MOM capacitor does not need another process step like the MIM one [1-2] or process modifications like the 3D trench capacitors [3]. Moreover the performances of these three types of capacitor are well known at low frequencies [1-5] but never shown at mmw frequencies. This paper presents an innovative structure of integrated 3D MOM capacitors in a standard advanced CMOS process used for 60 GHz applications.

The MOM capacitors are designed in the interconnect levels with metal and insulator layers (the back-end of line) of the STMicroelectronics 45 nm CMOS process node. This process has MOS transistor with f_T/f_{MAX} higher than 100 GHz. The presented MOM capacitors could easily be integrated in circuits used for millimeter wave applications as coupling or decoupling capacitors. A coupling MOM capacitor should have low losses and the decoupling one should have high capacitances with low

series parasitic element values, which imply a high quality factor.

2. INTERCONNECT LEVELS DESCRIPTION AND MOM CAPACITOR DESIGN

The STMicroelectronics 45 nm bulk CMOS process offers 7 copper metal layers (5 thin + 2 thick) and one thick aluminium metal layer (alucap) as shown Figure 1. Each metal layer is separated by one silicon oxide layer and a nitride passivation layer is placed above the alucap to protect the circuits.

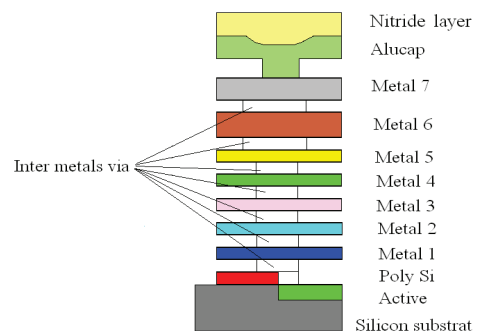


Figure 1 Cross section of the STMicroelectronics CMOS 45 nm overall process.

The metal fingers which compose the MOM capacitors are designed to maximize the capacitance density. Metal 5, 6 and 7 are used to design the 200 fF transmission capacitor. The large size of the metal 6 and 7 paths enable low resistivity of the device. Figure 2 shows an example of a 3D Metal1/Metal5 MOM capacitor.

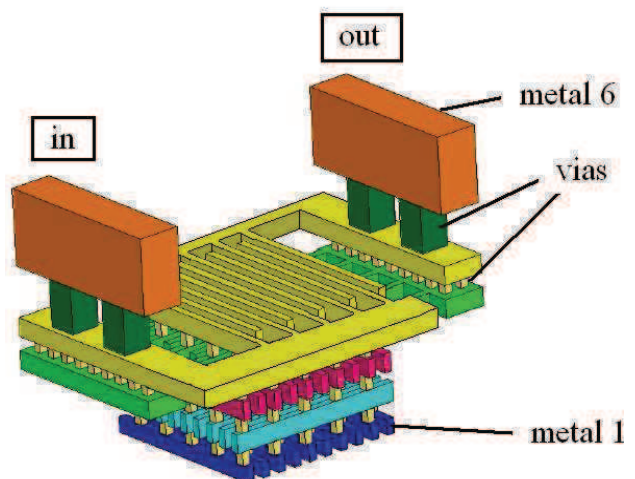


Figure 2 Cross section of a Metal1/Metal5 MOM capacitor.

The capacitance density performed with a metal5/metal6/metal7 MOM capacitor is $1 \text{ fF}/\mu\text{m}^2$. As

examples a 215fF MOM capacitor performed with metal5/metal6/metal7 exhibits a quality factor of 6.8 at 60 GHz and a 1,15 pF MOM where all metals are stacked has a quality factor higher than 10 at 60 GHz.

III. MODEL AND DESCRIPTION

The complete equivalent electrical schematic commonly used for integrated capacitors is presented in [4]. The presented MOM capacitors have an electrical equivalent model simpler (Figure 3), where the substrate losses are removed because of the very low capacitive coupling. This simple model can be easily used in computer aided design software. It includes series elements R_0 , L_0 and C_0 modeling respectively the resistive and dielectric losses, the inductive part of the electrodes and the intrinsic capacitance of the device. Two parallel capacitors C_1 are added to model the low parallel capacitive coupling. The designed MOM capacitors have been modelled using Post Layout Simulation (PLS), a parasitic extraction tools. This software extracts the capacitance C_0 and the resistance R_0 from the layout. The capacitance extraction value has been validated with Quickcap software, a capacitance extraction tools. The inductance L_0 is extracted from measurements.

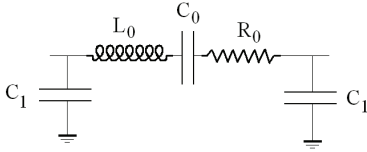


Figure 3 Equivalent electrical model of the MOM capacitor

4. MEASUREMENTS AND PARAMETER EXTRACTION

S parameters measurements of the capacitors are performed using an Anritsu ME7808C Broadband Vector Network Analyser (VNA). However, small capacitance values (lower than 5 fF) are very difficult to extract from measurements du to the accuracy of the RF setup.

To extract the S parameters of the capacitors from measurements, the accesses (RF pad and two 50 μ m long access lines) presented Figure 4, are de-embedded using the method presented in [6]. This method involves the measurement of an open circuit and a short circuit. This correction method is particularly suitable for the extraction of Y or S parameters of discrete passive elements such as capacitors or inductors.

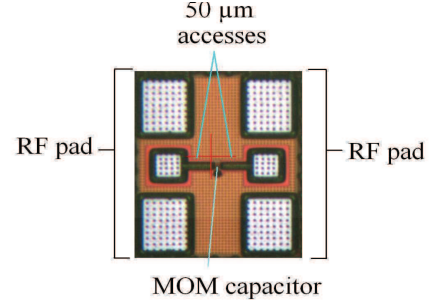


Figure 4 Micro-photography of a MOM capacitor test structure in CMOS 45 nm technology with the RF pads and the accesses.

From the corrected Y parameters, the intrinsic elements of the equivalent model (Figure 3) of the MOM capacitors can be written as

$$C_1 = \frac{\text{imag}(Y_{11}) + \text{imag}(Y_{12})}{\omega} \quad (1)$$

$$L_0 = \frac{1}{C_0 \cdot \omega_0^2} \quad (2)$$

$$R_0 = -\text{real}\left(\frac{1}{Y_{12}}\right) \quad (3)$$

$$C_0 = \frac{2 \cdot \text{imag}(Y_{12})}{1 \pm \sqrt{1 - 4 \cdot \text{imag}(Y_{12})^2 \cdot R_0^2}} \cdot \left(\frac{\omega^2}{\omega_0^2} - 1\right) \cdot \frac{1}{\omega} \quad (4)$$

where ω is the angular frequency of the signal and ω_0 the resonance one.

5. VALIDATION OF THE MODEL

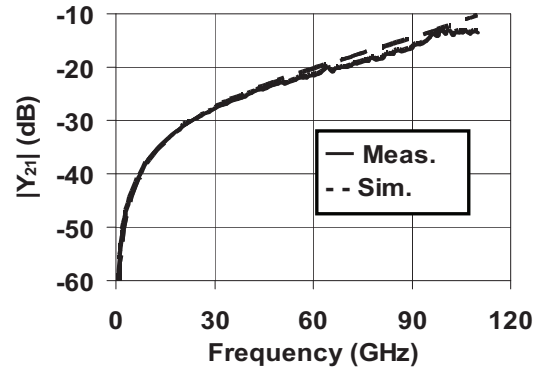


Figure 5 Simulated and measured Y_{21} parameters of a 215 fF MOM capacitor.

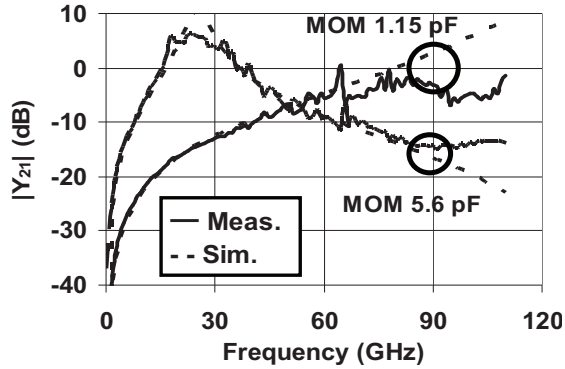


Figure 6 Simulated and measured Y_{21} parameters a 1.15 pF and a 5.6 pF MOM capacitor in CMOS 45nm.

A comparison between the measured and the simulated Y_{21} parameters of the MOM capacitors is presented in Fig. 5 and Fig. 6. The simulations are made with Cadence framework and Eldo as simulator.

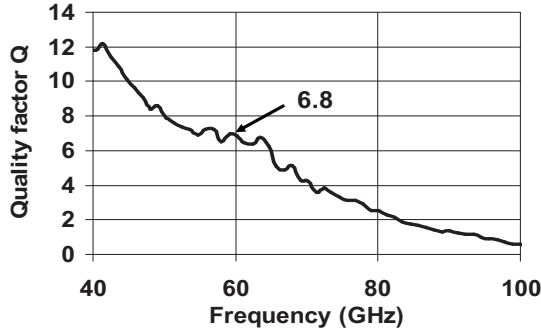


Figure 7 Measured quality factor of the 215 fF MOM capacitors.

The quality factor is extracted from measurement using the relation:

$$Q = \frac{1}{R_0 \cdot C_0 \cdot \omega} \quad (5)$$

where R_0 and C_0 are the series resistance and capacitance of the MOM capacitor. For a 215 fF MOM, the result presented Figure 7 gives 6.8 at 60 GHz, which is higher than those obtained with MIM capacitors [1-2] but lower than those obtained with trench capacitors [3]. Nevertheless the trench capacitors are not able to reach very high quality factor at very high frequencies. The results show Figures 5 and 6 a good agreement between measurements and simulations: the model is therefore validated close to 60 GHz for different MOM designed in a CMOS 45 nm process. The extracted lumped elements of the designed MOM capacitor are presented in Table 1. It is shown that the quality factor increase with the capacity density.

6. CONCLUSION

An innovative structure of 3D MOM capacitor designed in a standard CMOS 45 nm STMicroelectronics process was presented. These MOM capacitors dedicated to mmw applications present high capacitance density from 1 to 3.2 fF/ μm^2 and losses lower than 1 dB at 60 GHz. Moreover, the presented MOM capacitors have higher Q (from 3 to 10) than MIM, and lower losses than 3D trench capacitors due to the very low coupling effect with the substrate, in an advanced CMOS process.

TABLE 1 Extracted lumped elements of MOM capacitors with the metal stack

| Dens. (fF/ μm^2) + metals levels | C_0 (pF) | C_1 (fF) | R_0 (Ω) | L_0 (pH) | f_{res} (GHz) | Q @ 60 GHz |
|--|---------------|---------------|-----------------------|---------------|---------------------------|------------------|
| 1 M5/M7 | 0.12 9 | 1,97 | 0,4 | 3 | 160 | 3.2 |
| 1.1 M5/M7 | 0.21 5 | 3,5 | 0,3 | 5 | 110 | 6.7 |
| 3.1 M5/M6 | 0.62 9 | 37 | 0,4 5 | 1 | 80 | 9.5 |
| 3.2 M1/M6 | 1,15 | 44 | 0,7 | 1,5 | 70 | 10.2 |
| 3.1 M1/M6 | 5,6 | 195 | 1 | 7,4 | 25 | × |

ACKNOWLEDGMENT

The authors would like to thank N. Corrao, IMEP-LAHC, Grenoble, France, for the measurements.

REFERENCES

1. S. Queennie, et al., "Performance Comparison of MIM Capacitors and Metal Finger Capacitors for Analog and RF Applications", IEEE RF and Microwave Conf., Subang, Malaysia, Oct. 2004, pp.85-89.
2. C. Zhen, et al., "A Study of MIM On-Chip Capacitor Using Cu/SiO₂ Interconnect Technology", IEEE Micr. and Wir. Comp. Lett, vol. 12, no. 7, pp. 246-248, July 2002.
3. K. Büyüktas, et al., "Simulation and Modelling of a High Performance Trench Capacitor for RF Applications", Semiconductor science and technology, vol. 24, no.7, 2009.
4. K. Subramaniam, et al., "Design and Modeling of Metal Finger Capacitors for RF Applications", IEEE APACE 2005, Johor Bahru, Malaysia, Dec. 2005, pp.293-296.
5. J. N. Burghartz, et al., "Microwave Inductors and Capacitors in Standard Multilevel Interconnect Silicon Technology", IEEE Trans. On Microwave Theory and Tech., vol.44, Issue 1, pp.100-104, Jan. 1996.
6. E. P. Vandamme, et al., "Improved Three-Step De-Embedding Method to Accurately Account for the Influence of Pad Parasitics in Silicon On-Wafer RF Test-Structures", IEEE Trans. On Electron Dev., vol. 48, no. 4, Apr. 2001, pp. 737-742.

A SPDT Switch in a standard 45 nm CMOS process for 94 GHz Applications

T. Quémerais^{1,2}, L. Moquillon², J.-M. Fournier¹, P. Benech¹

¹IMEP-LHAC, UMR INPG/UJF/US/CNRS, 3 parvis Louis Néel, BP 257, 38016 Grenoble Cedex, France

²STMicroelectronics, 850 rue Jean Monnet 38920 Crolles, France

thomas.quermais@st.com

Abstract— A fully integrated single-pole double-throw (SPDT) transmit/receive switch (T/R switch) is implemented on a standard 45nm CMOS process. This circuit is dedicated to fully integrated CMOS RF front end modules operating at 94 GHz. The traveling-wave topology was used to minimize the insertion loss at millimeter wave frequencies. The switch exhibits a measured insertion loss of 5.3 dB, an isolation of 20.5 dB, and a return loss at Tx/Rx port of -12 dB at 94 GHz. An input 1dB compression point higher than 11 dBm is measured at 60 GHz and 15 dBm at 94 GHz after simulation. Excellent agreement between measurement and simulation results is observed.

I. INTRODUCTION

CMOS technologies are enabling integration of high frequency applications like Radar (77 GHz and 94 GHz). As an essential component for wireless transceivers, transmit/receive (T/R) switch with low insertion losses, high isolation and high linearity is required. The feasibility of CMOS single-pole double-throw (SPDT) switch operating at frequencies lower than 10 GHz has been demonstrated previously [2-6], at quasi-millimeter wave frequencies [7] and [8] and at millimeter wave frequencies [9-12] but not in a standard CMOS process dedicated to fully integrated systems.

This paper describes the implementation of a single-pole double-throw (SPDT) transmit/receive switch in a standard 45nm CMOS technology for 94 GHz applications and dedicated to be integrated in a RF Front-end.

The switch needs active and passive structures like propagation lines, so an accurate modeling of these components to ensure high performances is needed during design. In this context, the second section is devoted to passive structures description, integration and modeling in the back-end of line (the interconnect levels with metal and insulator) of the STMicroelectronics 45 nm CMOS process. In section III, the MOS extrinsic and intrinsic model is presented. In the fourth section, the RF switch design methodology is described. Switch measurements are explained in section V. In the last section, simulations and measurements of the insertion losses, isolation, return losses and large signals are presented.

II. PASSIVE STRUCTURES

The 45nm bulk CMOS back-end of STMicroelectronics offers 7 copper metal layers (5 thin + 2 thick) and one thick aluminium metal layer (Alucap). Each metal layer is separated

by one silicon oxide layer. In this process, the best choice of passive structure is the microstrip line with two-metals ground plane (Metal 1 and Metal 2) and a one metal conducting layer (Alucap) as shown in Fig. 1. The discrimination factor is the attenuation constant for a given characteristic impedance.

The microstrip line ground plane includes holes to respect the metal densities rules in such a way that the two metal layers completely shield the high resistivity silicon substrate. The gap between the metal ribbon and the ground plane is composed of a silicon oxide layer.

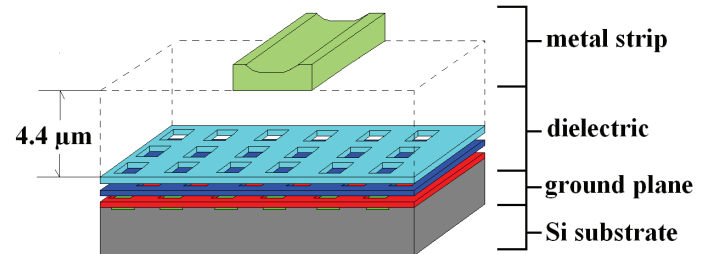


Fig. 1. Scheme of an integrated Alucap strip metal microstrip line with a Metal1/Metal2 ground plane

This configuration (Fig. 1) allows propagation lines with characteristic impedances from 15 Ω to 70 Ω in compliance with the CMOS 45nm technology recommended rules. An accurate model presented in [1], describing the behavior of the lines for different metal strip widths (corresponding to different characteristic impedances Z_c), is developed and included into a computer aided design tool.

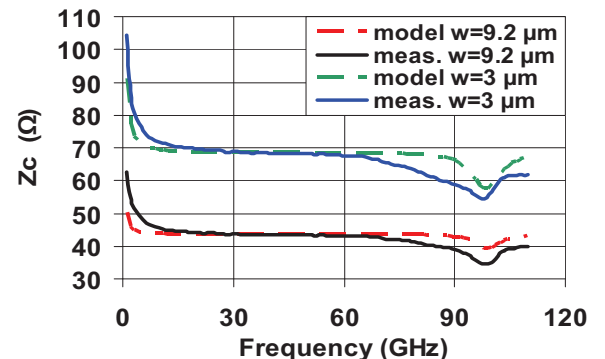


Fig. 2. Simulated and measured characteristic impedance

Fig. 2 and 3 show a comparison between measured and simulated attenuation constant and characteristic impedance for a $9.2\ \mu\text{m}$ and a $3\ \mu\text{m}$ width and $800\ \mu\text{m}$ length lines.

At $60\ \text{GHz}$, a $43\ \Omega$ characteristic impedance line exhibits an attenuation constant of $1.05\ \text{dB/mm}$.

An excellent agreement between measurement and simulation for the passive structure at millimeter wave frequencies is observed Fig. 2 and 3. It enables a SPDT switch design with high control on losses and on impedance matching at the desired frequency of operation.

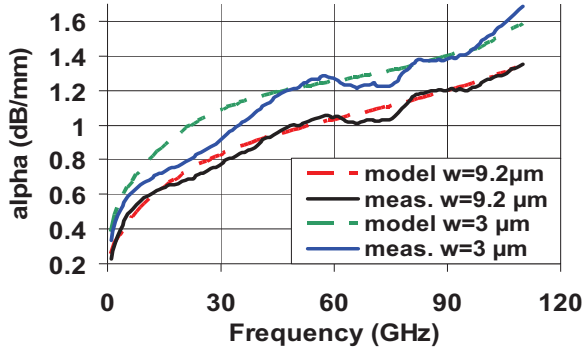


Fig. 3. Simulated and measured attenuation constant

III. MILLIMETER WAVE MOS MODEL

An existing PSP (Penn State Philips) model dedicated to RF applications is used and complemented with an extrinsic model including parasitic elements from the access like series resistors, coupling and substrate capacitors and access lines.

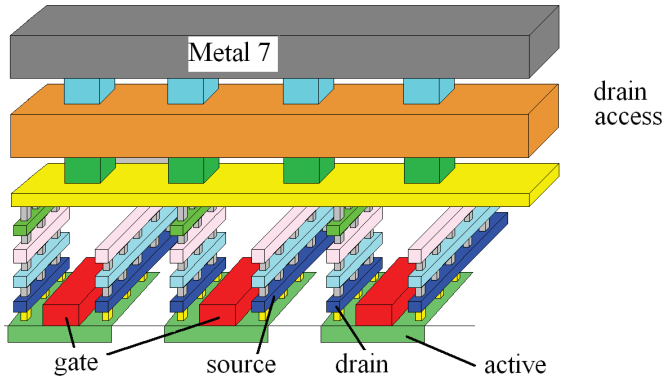


Fig. 4. Scheme of MOS connection

The coupling and substrate capacitance extraction is done using Quickcap tool and the parasitics resistances of each access are extracted using Post Layout Simulation (PLS) tools. The top drain access is modeled as a cascade of small Metal5/Metal6/Metal7 series microstrip lines with Metal1/Metal2 ground plane (Fig. 4 and 5).

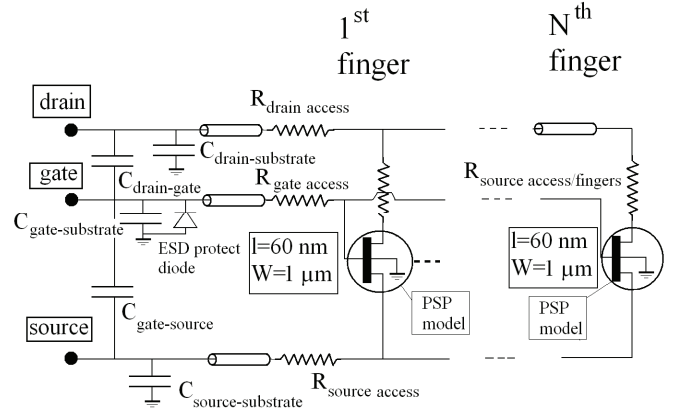


Fig. 5. MOS extrinsic model used at millimeter wave frequencies

IV. SWITCH DESIGN METHODOLOGY

The SPDT switch is implemented in the STMicroelectronics standard $45\ \text{nm}$ CMOS process. The nMOS transistors have a f_i of $160\ \text{GHz}$ and a f_{max} over $200\ \text{GHz}$.

The switch is composed of two distributed single-pole-single-throw (SPST) switches connected to a matching T-junction (Fig. 6). The four transistors M1 to M4 have a $40\ \text{nm}$ gate length, a total gate width of $43\ \mu\text{m}$ (Fig. 6). The on-state resistance R_{on} of the MOS is $12\ \Omega$ and the off-state capacitance of the transistors is $50\ \text{fF}$. The gate biasing V_{gg1} and V_{gg2} are applied through access lines with capacitor of 1pF in parallel to ensured parasitic RF and DC decoupling.

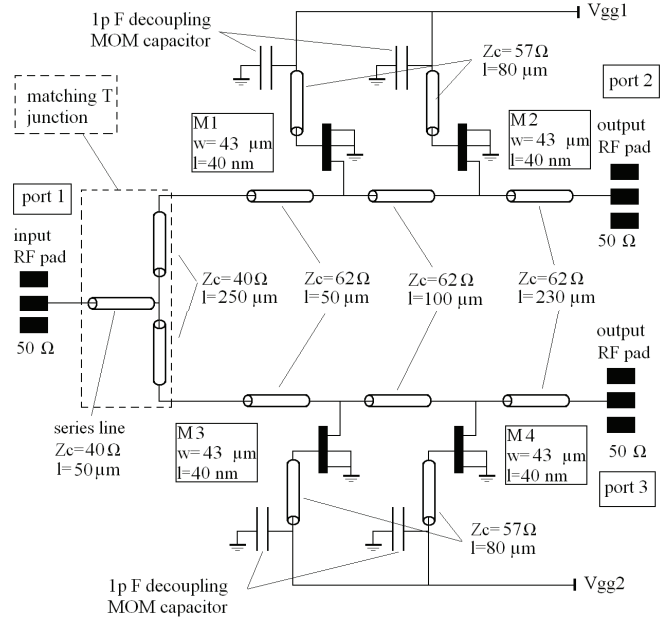


Fig. 6. Schematic of the $94\ \text{GHz}$ SPDT switch including element values

In the transmit path, from port 1 to port 2, when the control voltage V_{gg1} (Fig. 6) applied to the gates of M₁ and M₂ is set

to 0V and $V_{gg2} = 1$ V, the MOS M_1 and M_2 are tuned off and are equivalent to two capacitors of 50 fF. The integrated microstrip lines loaded with the off-state capacitances of the parallel MOS form an artificial line to pass the RF signals.

In the receive path, from port 1 to port 3, when the control voltage V_{gg2} applied to the gates of M_3 and M_4 is set to 1V and $V_{gg1}=0$ V, the MOS M_3 and M_4 are turned on and work in the linear region with low on-state resistance $R_{on} = 12 \Omega$. This shorts the RF signal to the ground.

Then the MOS dimensions are chosen to be a compromise between low insertions losses and high isolation. When the MOS are in the off-state, small dimensions are needed to lower the insertion losses due to capacitance coupling in the lossy substrate. When the MOS are in the on-state, large dimensions are needed to obtain a small value shortening resistor and consequently a high isolation.

The matching T junction is composed of $Z_c = 40 \Omega$ integrated thin film microstrip lines (line width of $10 \mu m$), which is used to transform into high impedance the port 3 while the RF signals pass to the port 2.

V. SWITCH MEASUREMENTS

Fig. 7 shows a photograph of the SPDT switch implemented in the 45 nm CMOS process. The die size is 0.8×0.7 mm². The capacitors are 3D multi-finger integration Metal Oxide Metal (MOM) structures.

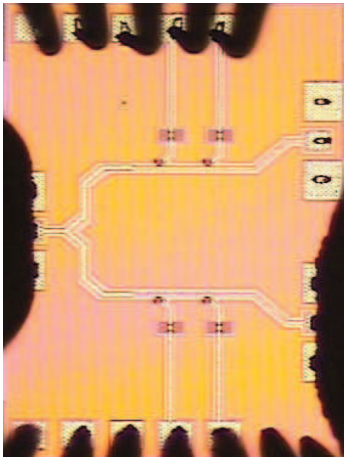


Fig. 7. Micro-photography of the SPDT switch: 0.8×0.7 mm².

S parameters measurements of the circuit are performed using an Anritsu ME7808C Broadband Vector Network Analyser (VNA) and a semi-automatic Cascade S300 station. A Line Reflect Reflect Match (LRRM) VNA calibration was used. Output power and compression point measurements are limited to 65 GHz by using the VNA 65 GHz test set with an external power amplifier operating in the band 55-65 GHz and

the input power is limited to 11 dBm at the input of the device under test.

Power calibrations are done via an Agilent V8486A power sensor coupled with an Agilent E4418B power meter. The RF probes used are Cascade Microtech Infinity Probe in a ground-signal-ground (GSG) configuration.

VI. COMPARISON OF MEASUREMENT AND SIMULATION

Fig. 8 shows the SPDT switch measured and simulated insertion losses (S_{21} parameter) and return losses (S_{11} parameter). Fig. 9 shows the measured and simulated isolation (S_{31} parameter) and Fig. 10 shows the switch large signal parameters.

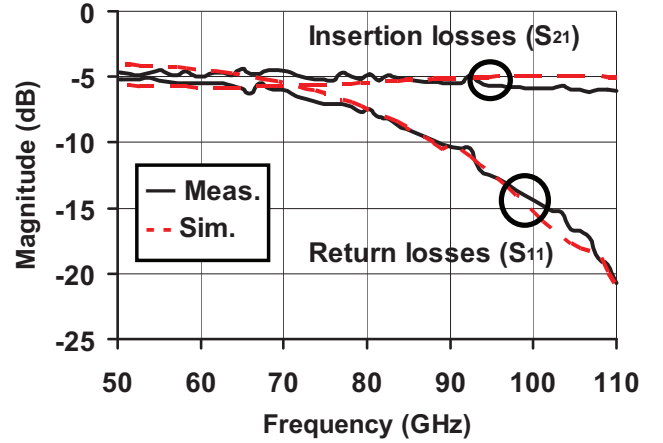


Fig. 8. Simulated and measured switch insertion losses (S_{21} parameter) and return losses (S_{11} parameter).

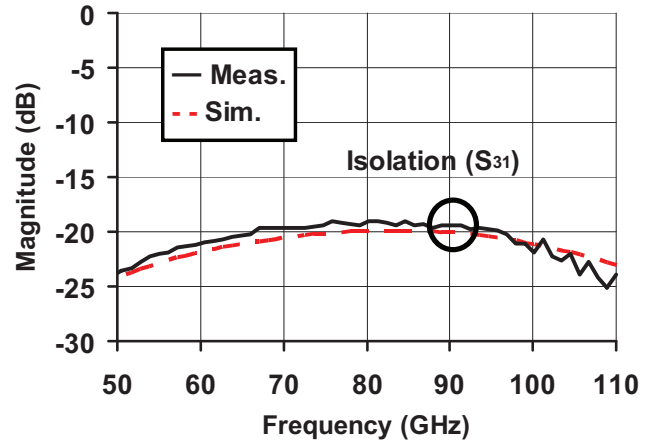


Fig. 9. Simulated and measured switch isolation (S_{31} parameter).

When the SPDT switch is in on-state from port 1 to port 2, with $V_{gg1} = 0$ V and $V_{gg2} = 1$ V, the measured insertion losses (S_{21}) is 5.3 dB at 94 GHz, the measured return losses (S_{11}) is -12 dB at 94 GHz and the measured isolation is 20.5 dB at 94 GHz from port 1 to port 3.

The input 1dB compression point measured with the VNA 65 GHz is higher than 11 dBm at 60 GHz. As extension, simulations give an input 1dB compression point of 15 dBm at 94 GHz.

The results presented in Fig. 8 to 10 show excellent agreement between measurements and simulations which demonstrate the importance of the passive and active models accuracy.

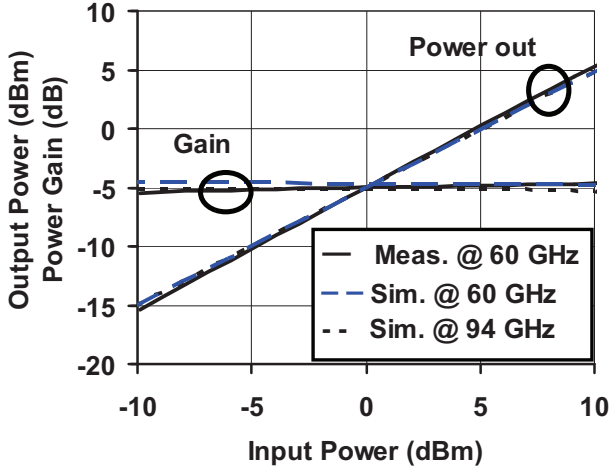


Fig. 10. Simulated and measured output power and power gain.

As shown in Table I, the presented switch has performances comparable to the ones on different technologies. The standard 45 nm CMOS process have the disadvantage to have a thin back-end of line compared to the 90 nm or older CMOS processes, which imposes high insertion losses and low isolation. Nevertheless this switch can be included into a fully integrated front end module operating at 94 GHz.

TABLE I
CMOS SPDT SWITCH STATE OF THE ART

| Ref. | Freq. (GHz) | Insertion loss (dB) | Isolation (dB) | ICP _{1dB} (dBm) |
|------------------------|-------------|---------------------|----------------|---|
| [9] CMOS 180nm | DC to 50 | 2 to 5.8 | 25 to 40 | 19.6 @ 40 GHz |
| [10] CMOS 130nm | 57 to 66 | 4.5 to 5.8 | 24.1 to 26 | 4.1 @ 60 GHz |
| [11] CMOS 130nm | 27 to 50 | 2.7 to 5 | 27 to 35 | 13.8 @ 40 GHz |
| [12] CMOS 90nm | 50 to 94 | 3 to 4 | 27 to 30 | 15 @ 77 GHz |
| This Work CMOS 45nm | 94 | 5.3 | 20.5 | > 11 @ 60 GHz (meas.) 17 @ 94 GHz (sim.) |

VII. CONCLUSION

A fully integrated millimeter wave SPDT switch in a standard 45 CMOS process has been presented. The circuit is included into a fully integrated RF front end module designed for 94 GHz applications. The switch shows a measured insertion losses of 5.3 dB, a measured return losses of -12 dB and a measured isolation of -20.5 dB at 94 GHz. The measured input 1dB compression point is 14 dBm at 60 GHz and 15 dBm at 94 GHz after simulation. These performances have been obtained thanks to an accurate microstrip line model validated for a large characteristic impedance range and to an accurate extrinsic MOS model validated at millimeter wave frequencies.

ACKNOWLEDGMENT

The authors want to thanks Nicolas Corrao, IMEP-LHAC laboratory, Grenoble, France, for the measurements. The authors wish also to thank S. Pruvost, P. Garcia, S. Razafimandimby and D. Pache, from the Analog/RF/mmwave/EPD design team, STMicroelectronics, Crolles, France, for their help during the modeling work.

REFERENCES

- [1] T. Quémérais, L. Moquillon, J.-M. Fournier, P. Benech, N. Corrao, "TFMS Microstrip Line Modeling and Characterization up to 110 GHz on 45 nm Node Silicon Technology: Application for CAD," IEEE SiRF 2010, Jan. 2010, New Orleans, USA, pp. 4-7.
- [2] F. J. Huang and K. O., "A 0.5- μ m CMOS T/R switch for 900-MHz wireless applications," IEEE J. Solid-State Circuits, vol. 35, no. 3, pp. 486-492, Mar. 2001.
- [3] N. A. Talwalkar, C. P. Yue, G. Haitao, and S. S. Wong, "Integrated CMOS transmit receive switch using LC-tuned substrate bias for 2.4-GHz and 5.2-GHz applications," IEEE J. Solid-State Circuits, vol. 39, pp. 863-870, 2004.
- [4] C. Tinella, J. M. Fournier, D. Belot, and V. Knopik, "A high-performance CMOS-SOI antenna switch for the 2.5 V5-GHz band," IEEE J. Solid-State Circuits, vol. 38, no. 7, pp. 1279-1283, Jul. 2003.
- [5] Z. Li and K. K. O., "15-GHz fully integrated nMOS switches in a 0.13- μ m CMOS process," IEEE J. Solid-State Circuits, vol. 40, no. 11, pp. 2323-2328, Nov. 2005.
- [6] M. C. Yeh, Z. M. Tsai, H. Wang, C. Y. Su, and C. P. Chao, "Design and analysis for a miniature CMOS SPDT switch using body-floating technique to improve power performance," IEEE Trans. Microwave Theory Tech., vol. 54, no. 1, pp. 31-39, Jan. 2006.
- [7] L. Qiang and Y. P. Zhang, "CMOS T/R switch design: Towards ultra-wideband and higher frequency," IEEE J. Solid-State Circuits, vol. 42, no. 3, pp. 563-570, Mar. 2007.
- [8] Z. Li and K. K. O., "15-GHz fully integrated nMOS switches in a 0.13- μ m CMOS process," IEEE J. Solid-State Circuits, vol. 40, no. 11, pp. 2323-2328, Nov. 2005.
- [9] M. C. Yeh, Z. M. Tsai, and H. Wang, "A miniature DC-to-50 GHz CMOS SPDT distributed switch," in Eur. Microwave Conf., Oct. 2005, vol. 3.
- [10] C. M. Ta, E. Skafidas, and R. J. Evans, "A 60-GHz CMOS transmit/receive switch," IEEE Radio Frequency Integrated Circuits Symposium, June 2007, pp. 725-728.
- [11] M. C. Yeh, Z. M. Tsai, R. C. Liu, K. Y. Lin, Y. T. Chang, and H. Wang, "A millimeter-wave wideband SPDT switch with traveling-wave concept using 0.13- μ m CMOS process," in IEEE MTT-S Int. Dig., Jun. 2005, pp. 53-56.
- [12] S. F. Chao, H. Wang, C. Y. Su, and J. G. J. Chern, "A 50 to 94- Hz CMOS SPDT switch using traveling-wave concept," IEEE Microwave and Wireless Components Letters, vol. 17, no. 2, pp. 130-132, Feb. 2007.

Methodology of Design of Millimeter Wave Power Amplifiers complying with 125°C Electromigration Design Rules in advanced CMOS technology

T. Quémérais^{1,2}, L. Moquillon², J.-M. Fournier¹, P. Benech¹, N. Corrao¹

¹ IMEP-LHAC, UMR INPG/UJF/US/CNRS, 3 parvis Louis Néel, BP 257, 38016 Grenoble Cedex, France

² STMicroelectronics, 850 rue Jean Monnet 38920 Crolles, France
e-mail : thomas.quemerais@st.com

Abstract — Two millimeter-wave (mmw) Power Amplifiers (PAs) designed in a 65nm CMOS process with 8-metal layers and transistor f/f_{max} of 160/200GHz and complying with 125°C electromigration design rules are reported. The amplifiers are designed to first validate the passive and active millimeter-wave models and then study the MOS reliability at 60 GHz. In this way, the PAs design takes electromigration constraints at 125°C into account which implies limitations on MOS width and thus on the circuits performances. The PAs operate from a 1.2V supply voltage. A power gain of 7.8dB and 4.5dB, an $OC_{P_{dB}}$ of 9dBm and 6dBm with 12.2% and 12.3% PAE and a saturated output power of 12dBm and 9dBm at 60GHz are measured respectively for the 2 stages and the 1 stage amplifiers. Excellent agreement between measurement and simulation results at small and large signals is observed.

Index Terms — CMOS mmw circuits, 65nm technology, power amplifier, microstrip lines, electromigration.

I. INTRODUCTION

CMOS technologies are enabling integration of high frequency applications like HDMI, WLAN or WPAN communications (60GHz band). The CMOS Power Amplifier (PA) is one of the most challenging blocks in a transmitter due to the important reliability constraints existing on MOS transistors and losses in the integrated passive components. The feasibility of mmw PAs has been demonstrated previously in SiGe technologies [2] and in CMOS technologies [3] to [7]. Nevertheless electromigration design rules impact on PA performances were never clearly established.

Studying the PA reliability consists in investigating the MOS transistor degradation with time, when subjected to high voltage levels. To perform this exercise, electromigration (reliability in current) must be guaranteed to avoid degradation due to this phenomenon, making sure to observe only degradation caused by high voltages. This paper describes the methodology of design of a 1 stage and a 2 stages PA in 65nm CMOS technology dedicated to upcoming reliability tests at 60GHz respecting electromigration constraints at 125°C. These constraints require limitation on MOS size which impacts the amplifier performances. Furthermore the developed

millimeter wave models for active and passive devices are validated through the PAs measurements results.

The second section is devoted to passive structures description, and modeling in the Back End Of Line (BEOL) of the STMicroelectronics 65nm CMOS process. In section III, the MOS extrinsic and intrinsic model respecting electromigration constraints is presented. In section IV, the power amplifiers' design methodology is described. In a fifth section, simulations and measurements of power gain, compression point and S parameters are compared between the two amplifiers.

II. PASSIVE STRUCTURES

Concerning the transmission lines, the best choice for passive structures is the microstrip line with two metals ground plane (Metal 1 and Metal 2) and a two metals conducting layer (Alucap and Metal 7) as shown in Fig. 1. The discrimination factor is the attenuation constant for a given characteristic impedance. The ground plane includes holes to respect the metal density rules in such a way that the two metal layers shield completely the high resistivity silicon substrate. The gap between the metal ribbon and the ground plane is composed of Silicon Oxide.

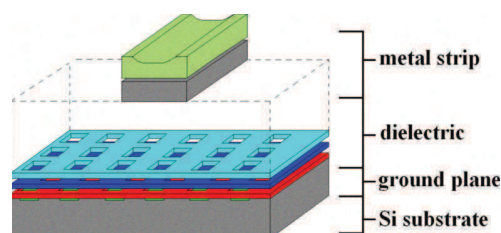


Fig. 1. Structure of an integrated Alucap/Metal7 strip metal Metal1/Metal2 ground plane microstrip line.

This configuration allows realizing propagation lines with characteristic impedances from 25Ω to 55Ω in compliance with the CMOS 65nm technology recommended rules. An accurate model based on [1], to describe the behavior of the lines for different metal strip widths (corresponding to different characteristic impedances Z_c), is developed and included into the

simulator tool Mentor Graphics Eldo. An excellent agreement between measurements and the model is observed Fig. 2 and 3.

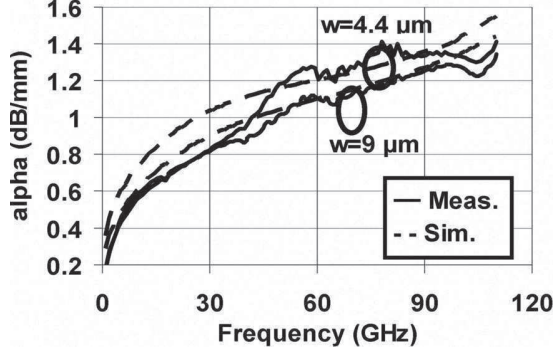


Fig. 2. Simulated and measured attenuation constant.

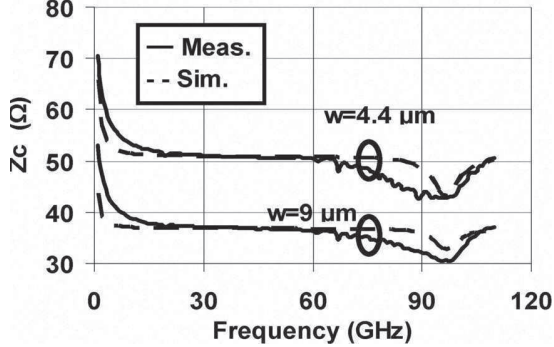


Fig. 3. Simulated and measured characteristic impedance

III. MILLIMETER WAVE MOS MODEL

An existing PSP (Penn State Philips) model dedicated to RF application is used and improved with an extrinsic model including parasitic elements for the access like series resistors, coupling and substrate capacitors and access lines.

In a second step, electromigration constraints at 125°C are included in the design flow. In this way, the maximum current that can be driven by a transistor and by metal lines as a function of physical and geometrical parameters has been calculated. The critical drain and source accesses areas, crossed by the current in the MOS are presented in Fig. 4. First of all, to respect the 125°C electromigration design rules, the maximum current across a MOS finger is 0.35mA for a width of 2.4μm with three metal layers stacked (Metal1/Metal2/Metal3). Secondly the source access length with three metal layers stacked (Metal5/Metal6/Metal7) is chosen to be 20μm. This value results from a trade off between the maximum current than can be driven in this access (due to electromigration design rules) and the higher number of MOS fingers which depends on this length. Resulting from the last two

rules, the maximum number of MOS fingers is 60 when using the topology presented in Fig. 4.

Consequently, the transistor maximum current respecting electromigration design rules current is $60 \times 0.35 = 21\text{mA}$ which corresponds to total MOS width of 144μm. Concerning the MOS accesses, the minimum width of each metal layer follows the Design Rule Manual (DRM) recommendations at 125°C. Nevertheless, current reliability constraints impose large metal lines width on the transistors access to drive high current, which implies high parasitic capacitances and inductances, so that an accurate model of the access must be developed (Fig. 5).

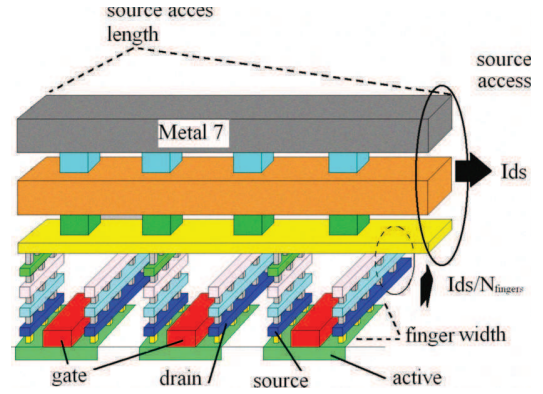


Fig. 4. Scheme of MOS connection

The coupling and substrate capacitance extraction is done using Mantle Quickcap tool and the parasitic resistances of each access are extracted using Post Layout Simulation (PLS) tools. The top source access is distributed and modeled as a cascade of small Metal5/Metal6/Metal7 series microstrip lines with Metal1/Metal2 ground plane (Fig. 5).

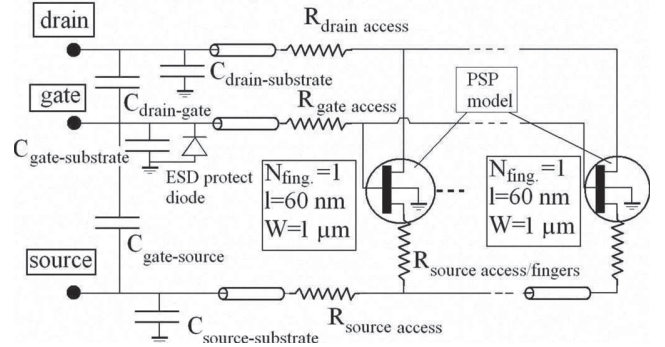


Fig. 5. MOS extrinsic model used at mmw frequencies.

IV. PAS DESIGN METHODOLOGY

To develop a MOS reliability model at 60GHz and to validate the millimeter wave actives and passives models, two amplifiers are designed respecting electromigration design rules at 125°C. This will allow a future exhaustive

study of the impact of high voltages on the PA reliability without worrying about electromigration effects. Consequently the output compression point and gain are knowingly limited. The amplifiers are composed of class-A stages using a common source topology as shown in Fig. 6. Transistors M1 to M3 have a 60nm gate length and are biased with $V_{dd}=1.2V$ (Fig. 6).

The PA 1 stage, designed to validate the actives and passives models and study the MOS reliability at millimeter wave, is first described. The transistor M1 has a total width of 60 μm and is biased at $I_{dd}=17mA$. For this stage, the DC power consumption of 20mW enables a theoretical maximum output 1dB compression point ($OC_{P_{1dB}}$) of 7dBm. The power gain is about 6dB (8dB without the extrinsic model).

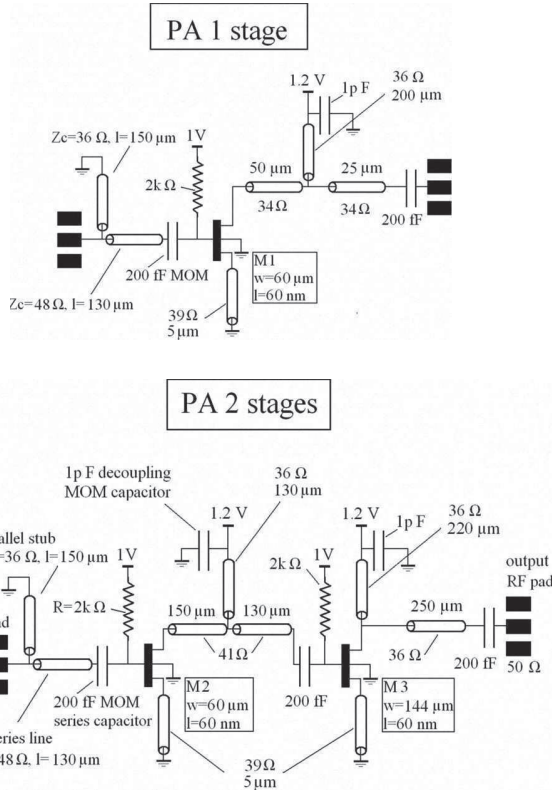


Fig. 6. Schematic of the 60 GHz power amplifiers including element values.

The PA 2 stages, is designed to validate the methodology of design developed in this paper. The transistor M3 has a total width of 144 μm with 60 fingers. For this second stage, the maximum allowed DC power consumption (P_{DC}) of 34mW, enables a theoretical maximum $OC_{P_{1dB}}$ of 9.5dBm ($OC_{P_{1dB}} \approx P_{DC}/4$, from [4]). The M3 Maximum Available Gain (MAG) considering the model depicted in Fig. 5 is about 5dB (7dB without the extrinsic model). M2 has a total width of 60 μm and is

biased at $I_{dd}=17mA$. Furthermore, an increase of the MOS in each stage ensures a globally high linearity of the amplifier, while at least 4dB gain is reached per stage.

In a first step, the imaginary part of the MOS output impedance due to the drain bulk capacitor is cancelled using a parallel stub. Then the optimum real load impedances (R_{load}) for the two stages are determined to reach the maximum $OC_{P_{1dB}}$, and a power gain of at least 4dB. $R_{load}=40\Omega$ for the second stage, gives a gain of 4dB and an $OC_{P_{1dB}}$ of 9dBm (as expected previously). The value of the load is close to the theoretical one, defined by $V_{dd}/I_{dd}=35\Omega$. Concerning the first stage, a $R_{load}=50\Omega$ gives a gain of 6dB and an $OC_{P_{1dB}}$ of 7dBm.

In a second step passive networks are used to obtain the optimum real load at the drain of each MOS. These networks include series transmission lines, DC feed stubs and series decoupling capacitors (Fig. 6). Optimal Z_c and length of transmission lines are determined to obtain minimum power losses between stages (close to 1dB). The stability is ensured by a short line connected to the source of the MOS acting as a degenerative inductor.

Finally, the input and output networks ensure the matching of the amplifier to the 50 Ω external impedances. The total power losses in the 1 stage and 2 stages amplifiers due to the passive networks are respectively 1 and 2dB at 60GHz, corresponding to a maximum power gain of 5dB and 8dB respectively.

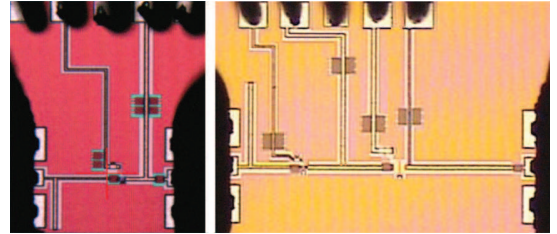


Fig. 7. Micro-photography of the 1 stage power amplifier (left) and the 2 stages power amplifier (right).

Fig. 7 shows the photography of the PAs implemented in 65nm technology. The 2 stages die size is 1 \times 0.6mm². The capacitors are 3D multifinger integration Metal Oxide Metal (MOM) structures.

V. COMPARISON BETWEEN MEASUREMENT AND SIMULATION

Fig. 8 to 10 show the two power amplifiers small and large signal measurement with corresponding simulations. The measured output Power at Saturation (P_{sat}) is 12dBm, and the $OC_{P_{1dB}}$ is 9dBm at 60GHz for the 2 stages PA with a total power gain of 7.8dB. P_{sat} and the $OC_{P_{1dB}}$ are 9dBm, and 6dBm respectively for the 1 stage PA with a power gain of 4.5dB. The Power Added Frequency (PAE) are 12.4% and 12.3% for a consumption of 17mA and

45mA under 1.2V supply respectively for the 1 stage and for the 2 stages PA. All the MOS are biased with $V_{gs}=1V$ and $V_{dd}=1.2V$. Transistors M1 and M2 drive 17mA each, while M3 drives 28mA. S_{11} and S_{22} parameters are below -10dB for both amplifiers.

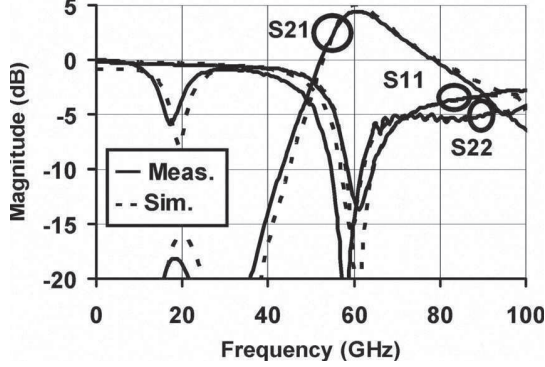


Fig. 8. Simulated and measured 1 stage PA S parameters

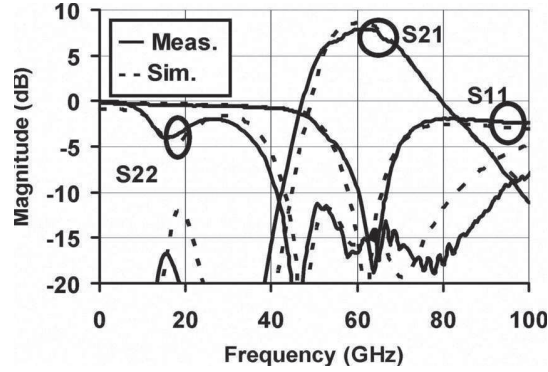


Fig. 9. Simulated and measured 2 stages PA S parameters

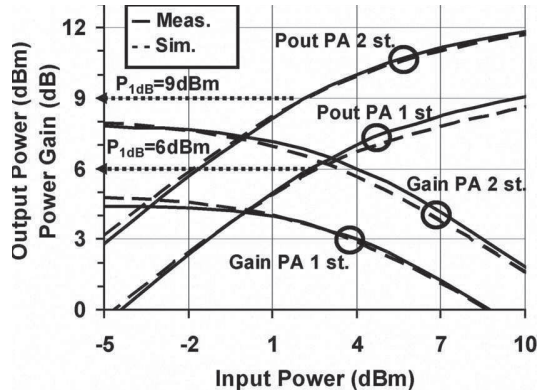


Fig. 10. Simulated and measured 1 stage and 2 stages power amplifier output power and gain versus input power at 60GHz.

The results presented in Fig. 8 to 10 show excellent agreement between measurements and simulations at small and large signals that validates the passive and active models developed and the design methodology. Moreover, inter stage passive network topology with one stub is used to minimize the power losses and finally

enhance the amplifier efficiency. As shown in Table I, the presented 2 stages PA is at the state of the art by considering the high output P_{1dB} , the power gain and the PAE which lead to a Figure Of Merit (FOM) of 42.

TABLE I
CMOS POWER AMPLIFIERS STATE OF THE ART

| Ref | Freq (GHz) | P_{sat} (dBm) | P_{1dB} (dBm) | G (dB) | PAE (%) | FOM |
|------------------|------------|-----------------|-----------------|------------|-------------|-----------|
| CMOS 90nm [3] | 60 | 14.2 | 12.1 | 4.2 | 5.8 | 13.7 |
| CMOS 65nm [4] | 62 | 9 | 6 | 4.5 | 8.5 | 7.3 |
| CMOS 45nm [5] | 60 | 13.8 | 11 | 6 | 7 | 30 |
| This work | 60 | 12 | 9 | 7.8 | 12.2 | 42 |

$$(FOM = P^2 \times G \times P_{sat} \times PAE, \text{ from ITRS})$$

VI. CONCLUSION

A fully integrated power amplifier in a 65nm CMOS process, operating at 60GHz has been presented. The amplifier has more than 10dB small signal gain in a frequency range of 50-62GHz. The obtained results are above the state of the art by considering the high OC_{1dB} and power gain value with the relatively high PAE. The comparison with previous published results reports the best FOM never shown in CMOS technology at mmw. These performances have been obtained thanks to an accurate microstrip line model validated for a large characteristic impedance range and to an accurate extrinsic MOS model for mmw up to 110GHz.

REFERENCES

- [1] E. Hammetstad and Ø. Jensen, "Accurate Models For Microstrip Computer-Aided Design," Microwave Symp. Dig., 1980 MTT-S, Vol.80, Issue 1, pp. 407-409 May 1980.
- [2] A. Komijani et al., "A Wideband 77GHz, 17.5dBm Power Amplifier in Silicon" Proc. IEEE CICC, pp.571-574, 2005.
- [3] M. Bohsali et al., "Current Combining 60GHz CMOS Power Amplifiers," RFIC Symp., pp. 31-34, June. 2009.
- [4] A. Valdes-Garcia et al., "60 GHz Transmitter Circuits in 65nm CMOS", IEEE RFIC, pp. 641-644, June 2008
- [5] T. Yao, et al., "Algorithmic Design of CMOS LNAs and PAs for 60-GHz Radio," IEEE J. Solid-State Circuits, vol. 42, no. 5, pp. 1044-1057, May 2007.
- [6] J.-L. Kuo et al., "A 50 to 70 GHz Power Amplifier Using 90 nm CMOS Technology", IEEE Microwave and wireless comp. Let. , Vol. 19, no. 1, pp 45-47; Jan. 2009
- [7] K. Raczowski et al., "50-to-67GHz ESD-Protected Power Amplifiers in Digital 45nm LP CMOS," IEEE ISSCC Symp., pp. 382-384, February 2009.

A CMOS Class-A 65nm Power Amplifier for 60 GHz Applications

T. Quémerais^{1,2}, L. Moquillon², S. Pruvost², J.-M. Fournier¹, P. Benech¹, N. Corrao¹

¹IMEP-LHAC, UMR INPG/UJF/US/CNRS, 3 parvis Louis Néel, BP 257, 38016 Grenoble Cedex, France

²STMicroelectronics, 850 rue Jean Monnet 38920 Crolles, France
e-mail : thomas.quemerais@st.com

Abstract — A millimeter-wave Power Amplifier (PA) implemented in a 65nm CMOS process with 8-metal layers and transistor f_T/f_{MAX} of 160/200 GHz is reported. The PA operates from a 1.2V supply voltage. A power gain of 13.4 dB, an output P_{1dB} of 12.2 dBm with 7.6 % PAE and a saturated output power of 13.8 dBm at 58 GHz are measured. S_{11} and S_{22} are lower than 10 dB, which ensures an input and output matching to a 50 Ω impedance. These results are obtained thanks to accurate millimeter wave models for MOS and integrated microstrip lines used as passive components. The amplifier design takes electromigration constraints at 105°C into account. Excellent agreement between measurement and simulation results is observed.

Index Terms — CMOS millimeter-wave integrated circuits, 65nm technology, power amplifier, microstrip lines.

I. INTRODUCTION

CMOS technologies are enabling integration of high frequency applications like HDMI, WLAN or WPAN communications (60 GHz band). CMOS Power Amplifier (PA) is one of the most challenging blocks in a transmitter due to the important reliability constraints existing on MOS transistors and losses in the integrated passive components. The feasibility of mm-wave PAs has been demonstrated previously in SiGe technologies [5], and in CMOS technologies [2] - [4], [6] and [7].

This paper describes the implementation of a 4-stages 60 GHz PA in 65nm CMOS technology respecting electromigration reliability constraints at 105°C.

The second section is devoted to passive structures description, integration and modeling in the Back End Of Line (BEOL) of the STMicroelectronics 65 nm CMOS process. In section III, the MOS extrinsic and intrinsic model respecting reliability constraints is presented. In section IV, the power amplifier design methodology is described. PA measurements are explained in section V. In a sixth section, simulations and measurements of power gain, compression point and S parameters are compared.

II. PASSIVE STRUCTURES

In the 65 nm back-end used, the best choice of passive structure is the microstrip line with two metals ground plane (Metal 1 and Metal 2) and a two metals conducting

layer (Alucap and Metal 7 layers) as shown in Fig. 1. The discrimination factor is the attenuation constant for a given characteristic impedance.

The ground plane includes holes to respect the metal density rules in such a way that the two metal layers shield completely the high resistivity silicon substrate. The gap between the metal ribbon and the ground plane is composed of Silicon Oxide. This configuration allows realizing propagation lines with characteristic impedances from 15 Ω to 70 Ω in compliance with the CMOS 65 nm technology recommended rules.

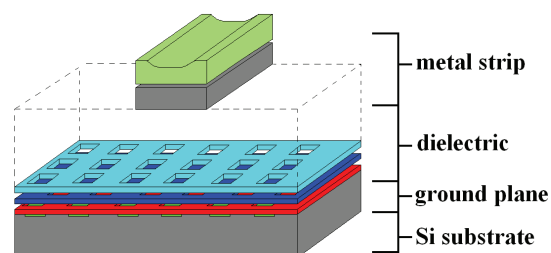


Fig. 1. Scheme of an integrated Alucap/Metal7 strip metal Metal1/Metal2 ground plane microstrip line

An accurate model based on [1], to describe the behavior of the lines for different metal strip widths (corresponding to different characteristic impedances Z_c), is developed and included into the simulator tool Eldo.

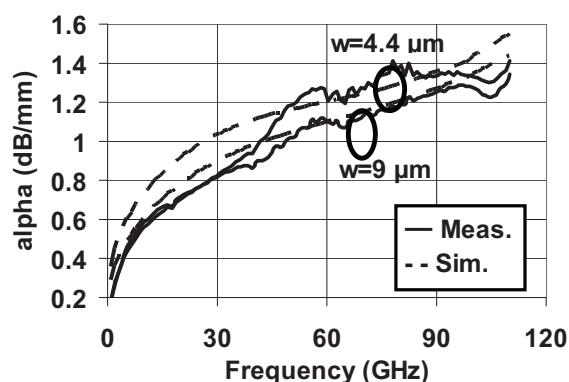


Fig. 2. Simulated and measured attenuation constant

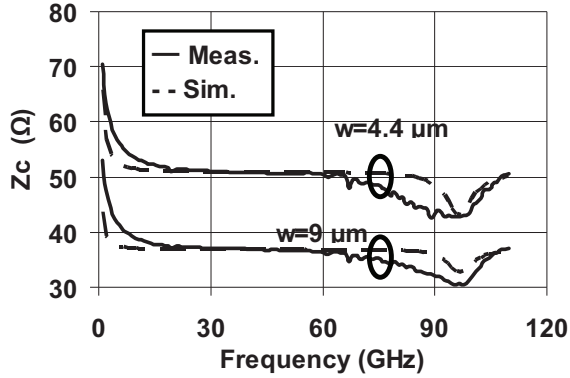


Fig. 3. Simulated and measured characteristic impedance

Fig. 2 and 3 show a comparison between measured and simulated attenuation and characteristic impedance for a 9 μm width and a 4.4 μm width of 800 μm long each.

At 60 GHz, a 37 Ω characteristic impedance line exhibits an attenuation constant of 1.1 dB/mm and a propagation constant of 2400 rad/m.

The excellent agreement between measurement and simulation results of the passive structure up to 110 GHz presented Fig. 2 and 3 enables an amplifier design with high control on losses and on impedance matching at the desired frequency of operation.

III. MILLIMETER WAVE MOS MODEL

An existing PSP (Penn State Philips) model dedicated to RF application is used and complemented with an extrinsic model including parasitic elements from the access like series resistors, coupling and substrate capacitors and access lines.

In a second step, electromigration constraints are included in the conception flow. In this way, the maximum current that can be driven by a transistor and by metal lines as a function of their physical and geometrical parameters has been calculated.

The critical areas drain and source accesses, crossed by the current in the MOS are presented Fig. 4. Consequently, to avoid electromigration three metal layers are stacked at the MOS source and drain accesses. The maximum current across a MOS finger of 4 μm maximum width is fixed at 0.5 mA.

The width of each metal layer follows the Design Rule Manual (DRM) recommendations at 105 $^{\circ}\text{C}$. Nevertheless, current reliability constraints impose large metal lines width on the transistors access to drive high current, which implies high parasitic capacitances and inductances, so that an accurate model of the access must be developed (Fig. 5).

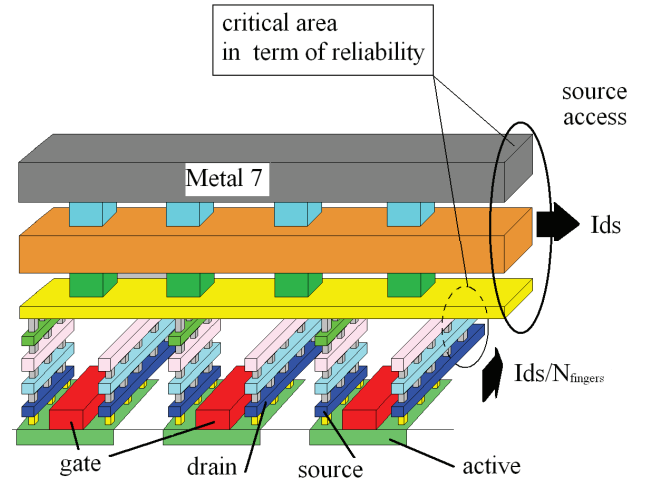


Fig. 4. Scheme of MOS connection

The coupling and substrate capacitance extraction is done using Quickcap tool and the parasitics resistances of each access are extracted using Post Layout Simulation (PLS) tools. The top source access is distributed and modeled as a cascade of small Metal/5/Metal6/Metal7 series microstrip lines with Metal1/Metal2 ground plane (Fig. 5).

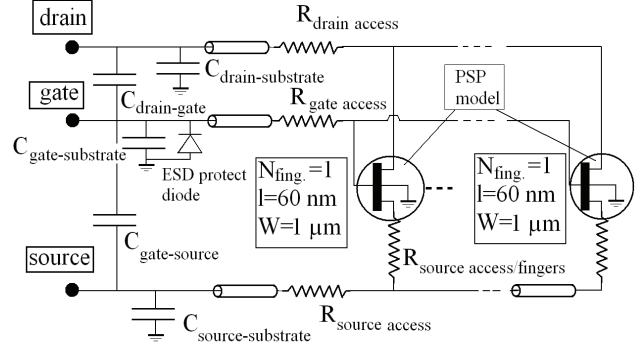


Fig. 5. MOS extrinsic model used at millimeter wave frequencies

IV. PA DESIGN METHODOLOGY

The amplifier is composed of four class-A stages with common source topology as shown in Fig. 6. The four transistors M1 to M4 have a 60 nm gate length and are biased with $V_{\text{dd}}=1.2$ V (Fig. 6).

Transistor M4 has a total width of 180 μm and is biased at 0.4 mA/ μm , which correspond to the peak f_t [4]. For the last stage, the DC power consumption (P_{DC}) of 84 mW enables a theoretical maximum Output 1dB Compression Point ($\text{OCP}_{1\text{dB}}$) of 13.5 dBm ($\text{OCP}_{1\text{dB}} \approx P_{\text{DC}}/4$, from [4]). The M4 Maximum Available Gain (MAG) considering the

model depicted Fig. 5 is about 6 dB (8 dB without the extrinsic model).

M3 has a total width of 180 μm and is biased at $I_{dd}=64$ mA. M1 and M2 are biased under a lower current to enhance the Power Added Efficiency (PAE), and drive 58 mA each with a total width of 160 μm .

Furthermore, a slight increase of the MOS in each stage ensures a globally high linearity of the power amplifier, while at least 4 dB gain is reached per stage.

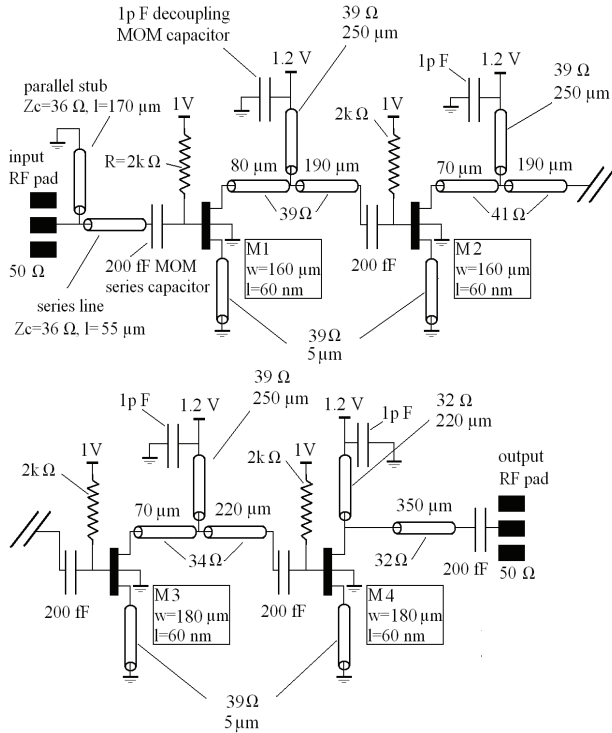


Fig. 6. Schematic of the 60 GHz power amplifier including element values

In the first step of the design, the imaginary part of the transistor output impedance due to the drain bulk capacitor is cancelled using a parallel stub. Then the optimum real load impedances (R_{load}) for each stage are determined to reach the highest OCP_{1dB} , and a power gain of at least 4 dB. $R_{load}=20\ \Omega$ for the last stage, gives a gain of 4 dB and an OCP_{1dB} of 13.5 dBm (as expected previously). This load value is close to the theoretical one, defined by V_{dd}/I_{dd} that gives 17 Ω .

$R_{load}=20\ \Omega$ for the third stage, gives a gain of 4 dB and an OCP_{1dB} of 12.5 dBm. $R_{load}=25\ \Omega$ for the two first stages gives a gain of 5 dB and an OCP_{1dB} of 11.5 dBm each.

The second step is to use passive networks to obtain the optimum real load at the drain of each MOS. These

networks include series transmission lines, DC feed stubs and series decoupling capacitors (Fig. 6). Optimal Z_c and length of transmission lines are determined to obtain minimum power losses between stages (close to 1 dB). The stability is ensured by a short line connected to the source of the MOS acting as a degenerative inductor.

Moreover the input and output networks ensure the matching of the amplifier to the 50 Ω external impedances. The total power losses in the amplifier due to the passive networks are of 4.5 dB at 60 GHz, which give a maximum power gain of 13.5 dB.

V. PA MEASUREMENTS

Fig. 7 shows photography of the PA implemented in 65nm technology. The die size is 1.5×0.6 mm². The capacitors are 3D multifinger integration Metal Oxide Metal (MOM) structures.

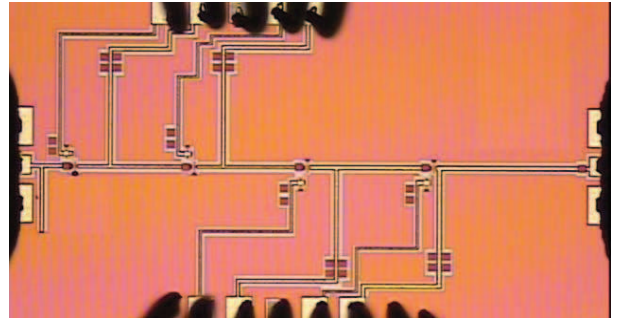


Fig. 7. Micro-photography of the four stages power amplifier. 1.6 x 0.8 mm².

S parameters measurements of the amplifier are done using an Anritsu ME7808C Broadband Vector Network Analyser (VNA) and a semi-automatic Cascade S300 station. A Line Reflect Reflect Match (LRRM) VNA calibration was used. Output power and compression point measurements are done using the VNA 65GHz test set with an external power amplifier at the input of the device under test.

Power calibrations are done via an Agilent V8486A power sensor coupled with an Agilent E4418B power meter. The RF probes used are Cascade Microtech Infinity Probe in a ground-signal-ground (GSG) configuration.

VI. COMPARISON OF MEASUREMENT AND SIMULATION

Fig. 8 and 9 show the power amplifier small and large signal measurement and simulation results. The measured P_{sat} is 13.8 dBm, and the OCP_{1dB} is 12.2 dBm at 58 GHz. The measured power gain is 13.4 dB, while the PAE is 7.6 % for a consumption of 250 mA under 1.2 V supply. All

the MOS are biased with $V_{gs}=1$ V and $V_{dd}=1.2$ V. Transistors M1 and M2 drive 58 mA each, while M3 and M4 drive 64 mA and 70 mA respectively. S_{11} and S_{22} parameters are below -10 dB.

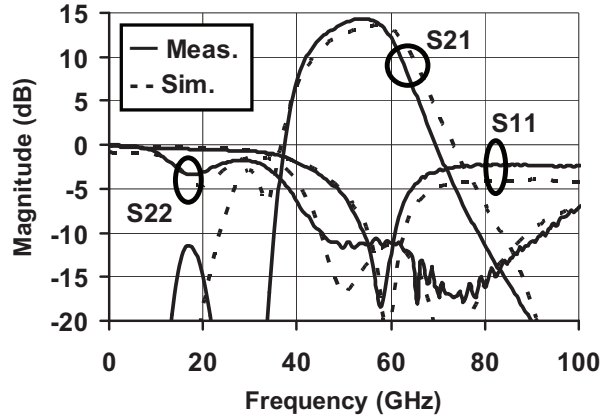


Fig. 8. Simulated and measured power amplifier S parameters

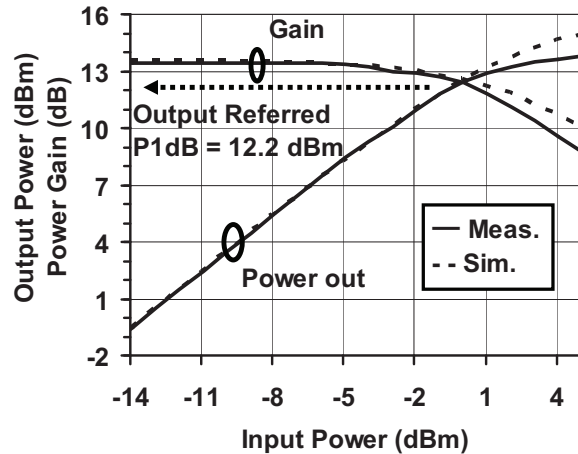


Fig. 9. Simulated and measured output power and gain versus input power at 58 GHz

The results presented in Fig. 8 and 9 show excellent agreement between measurements and simulations, that demonstrate the importance of the passive and active models accuracy. Moreover, inter stage passive network topology with one stub is used to minimize the power losses and finally enhance the amplifier efficiency.

As shown in Table I, the presented PA is above the state of the art by considering the high $OC_{P_{1dB}}$, the power gain and the PAE which lead to a Figure Of Merit (FOM) of 102.

VII. CONCLUSION

A fully integrated power amplifier in a 65 nm CMOS process, operating at 60 GHz has been presented. The

amplifier has more than 10 dB small signal gain in a frequency range of 50-62GHz. The obtained results are above the state of the art by considering the high $OC_{P_{1dB}}$ and power gain value with the relatively high PAE. The comparison with previous published results reports the best FOM never shown. These performances have been obtained thanks to an accurate microstrip line model validated for a large characteristic impedance range and to an accurate extrinsic MOS model for mm wave up to 110 GHz.

TABLE I
CMOS POWER AMPLIFIER STATE OF THE ART

| Ref | Freq (GHz) | P_{sat} (dBm) | P_{1dB} (dBm) | G (dB) | PAE (%) | FOM |
|------------------------|------------|-----------------|-----------------|-------------|------------|------------|
| 4 stages CMOS 90nm [2] | 60 | 14.2 | 12.1 | 4.2 | 5.8 | 13.7 |
| 2 stages CMOS 65nm [3] | 62 | 9 | 6 | 4.5 | 8.5 | 7.3 |
| 2 stages CMOS 45nm [7] | 60 | 13.8 | 11 | 6 | 7 | 30 |
| This work | 58 | 13.8 | 12.2 | 13.4 | 7.6 | 102 |

$$(FOM = f^2 \times G \times P_{sat} \times PAE, \text{ from ITRS [8]})$$

REFERENCES

- [1] E. Hammetstad and Ø. Jensen, "Accurate Models For Microstrip Computer-Aided Design," Microwave Symp. Digest, 1980 MTT-S, Vol. 80, Issue 1, pp. 407 - 409 May 1980.
- [2] Mounir Bohsali and Ali M. Niknejad, "Current Combining 60GHz CMOS Power Amplifiers," RFIC Symp., pp. 31-34, June. 2009.
- [3] A. Valdes-Garcia et al. "60 GHz Transmitter Circuits in 65nm CMOS ", IEEE RFIC, pp. 641-644, June 2008
- [4] T. Yao, et al., "Algorithmic Design of CMOS LNAs and PAs for 60-GHz Radio," IEEE J. Solid-State Circuits, vol. 42, no. 5, pp. 1044-1057, May 2007.
- [5] A. Komijani and A. Hajimiri, "A Wideband 77GHz, 17.5dBm Power Amplifier in Silicon" Proc IEEE CICC, pp. 571-574, Sept. 2005.
- [6] Jing-Lin Kuo et al. "A 50 to 70 GHz Power Amplifier Using 90 nm CMOS Technology", IEEE Microwave and wireless comp. Let. , Vol. 19, no. 1, pp 45-47; Jan. 2009
- [7] Kuba Raczowski et al., "50-to-67GHz ESD-Protected Power Amplifiers in Digital 45nm LP CMOS," IEEE ISSCC Symp., pp. 382-384, February 2009.
- [8] International Technology Roadmap for Semiconductors, 2007 edition.

DC Hot Carrier Stress Effect on CMOS 65nm 60 GHz Power Amplifiers

T. Quémerais^{1,2}, L. Moquillon², V. Huard², J.-M. Fournier¹, P. Benech¹, N. Corrao¹

¹IMEP-LHAC, UMR INPG/UJF/US/CNRS, 3 parvis Louis Néel, BP 257, 38016 Grenoble Cedex, France

²STMicroelectronics, 850 rue Jean Monnet 38920 Crolles, France
e-mail : thomas.quermerais@st.com

Abstract — The effects of dc hot carrier stress on the characteristics of 60GHz power amplifiers on CMOS 65nm are investigated. The increase in the threshold voltage, the decrease in the transconductance and the output conductance of the MOSFETs caused by hot carriers leads to a loss performances of the PAs. A reliability study is first made on a 1 stage PA to validate the ageing model and the degradation explanation. A drop of 5% the gain, 7% of the OCP_{1dB} , 7% of the P_{sat} are measured at 58GHz after 50 hours of stress under $V_{dd}=1.7V$ on a 4 stages amplifier.

Index Terms — CMOS mmw circuits, 65nm technology, power amplifier, hot carrier stress, reliability.

I. INTRODUCTION

CMOS technologies are enabling integration of high frequency applications like HDMI, WLAN or WPAN communications (60GHz band). The CMOS power amplifier (PA) is one of the most challenging blocks in a transmitter due to the important reliability constraints existing on MOS transistors and losses in the integrated passive components.

The feasibility of millimeter wave (mmw) PAs has been demonstrated previously in SiGe and CMOS technologies. Reliability hot carrier impact on PA performances has been studied [8] and [9] but never at millimeter wave frequencies. Indeed, during operation, common source class A mmw power amplifiers degradation is due to the hot carrier injection phenomenon.

Reducing the transistor channel length turns the hot carriers into an important reliability issue [4] to [9]. Carriers in the channel can gain high energy (hot carrier) in the pinch off region and cause an avalanche effect very similar to what happens in a reverse-biased p-n junction. The collisions of hot carriers with the atomic bonds at the interface of the substrate and gate oxide leads to the generation of dangling bonds, also known as interface traps [7]. These traps affect different parameters of the MOS.

Effects of hot carriers on the RF characteristics of single NMOS transistor have been before reported ([4] to [9]).

Studying the power amplifier reliability consists in investigating the MOS transistor degradation with time, when stressed under high voltage levels.

In this paper, a dc hot carrier reliability model is demonstrated to be correct at 60 GHz thanks to a 1 stage 60 GHz power amplifier reliability study in CMOS 65nm. An ageing study is also done on a state of the art 4 stages PA [1]. The reliability model is validated thank to comparison with the measurements of the PA characteristic parameters (small and large signals) degradation after 50 hours of stress under $V_{dd}=1.7V$ power supply. The reliability test protocol is also described.

The section II is devoted to the devices and circuits description. In section III, the experimental procedure is presented. In section IV, simulations and measurements of power gain, compression point and S parameters are compared for the two amplifiers before and after stress and the results are discussed before conclude.

II. DEVICES AND CIRCUIT DESCRIPTION

The developed design methodology of the PAs is described in [1] and their performances are summarized on Table I. The PAs are biased under $V_{dd}=1.2V$ and are matched to the 50 ohms external impedances.

To design a millimeter wave power amplifier, a thin film microstrip line and an accurate millimeter wave MOS model are developed [1]. For this purpose, an existing PSP (Penn State Philips) model dedicated to RF application is used and improved with an extrinsic model.

This model includes parasitic elements due to drain, source and gate accesses like series resistors, coupling and substrate capacitors and access lines. Electromigration constraints at 125°C are also considered in the design flow. The amplifier power gain is inversely proportional to the gate length [2]. Increasing this dimension to gain life time deteriorates the PA efficiency.

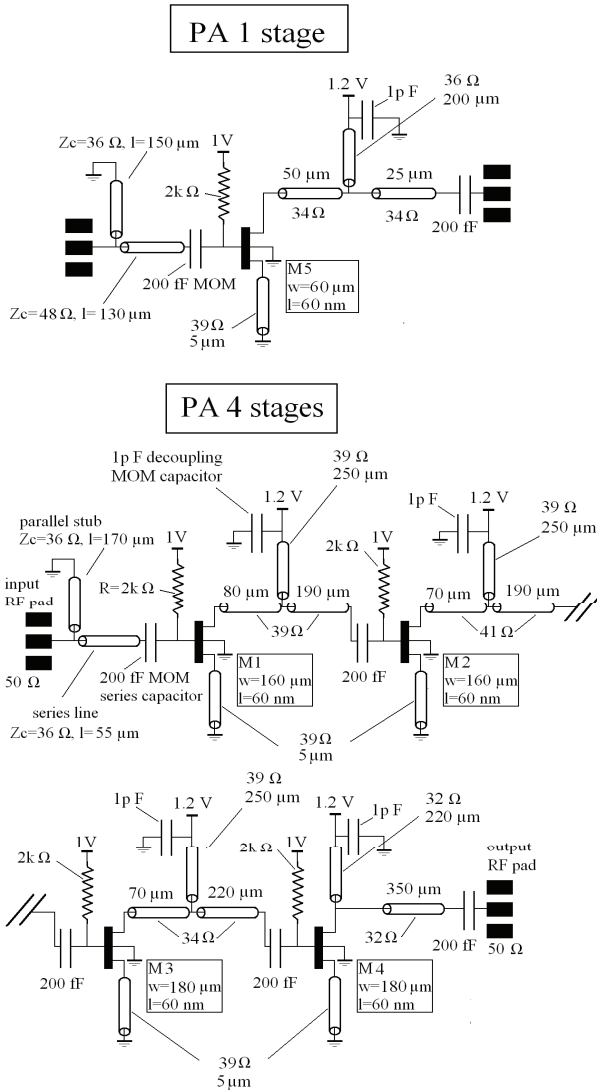


Fig. 1. Schematic of the CMOS 65nm 1 stage (up) and 4 stages (down) power amplifiers including element values.

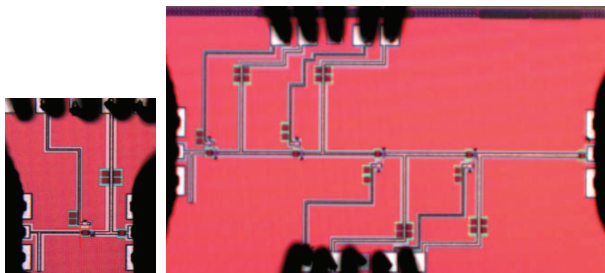


Fig. 2. Micro-photography of the 1 stage PA (left) and the 4 stages PA (right).

Fig. 2 shows the micro-photography of the PAs implemented in 65nm technology. The die sizes are respectively $0.4 \times 0.6 \text{ mm}^2$ and $1.5 \times 0.8 \text{ mm}^2$ for the 1 stage

and the 4 stages amplifiers. The measured performances of the PAs at $V_{dd}=1.2\text{V}$ are summarized in Table I.

TABLE I
CMOS POWER AMPLIFIERS PERFORMANCES

| PA | P_{sat} (dBm) | $P_{1\text{dB}}$ (dBm) | G (dB) | Cons. (mW) | PAE (%) | FOM |
|----------|---------------------------|---------------------------|-----------|---------------|------------|-----|
| 1 stage | 9.2 | 6.4 | 4.5 | 20.5 | 26 | 22 |
| 4 stages | 14.2 | 12.2 | 13.7 | 300 | 8.4 | 174 |

$$(FOM = f^2 \times G \times P_{\text{sat}} \times PAE, \text{ from ITRS})$$

III. EXPERIMENTAL PROCEDURE

When biasing the amplifiers at an operating point higher than $V_{dd}=1.2 \text{ V}$, strong electric field are generated inside the transistor. This reduces the time at which the hot carrier effects can be observed. Nevertheless, too high drain voltage applied to the transistor will make the oxide broken.

A model of degradation under dc hot carrier stress to study the PAs ageing is implemented in Mentor Graphics Eldo simulator. For the simulation of the circuit after stress, the values of carrier mobility, threshold voltage, DIBL (drain induced barrier lowering) coefficient, velocity saturation and channel-length modulation of the MOSFETs take into account the dc hot carrier stress effects. These parameters degradation is only function of the stress duration, the stress voltage V_{dd} and is modeled using the substrate current model presented in [7]. Furthermore with dc hot carrier stress these parameters degradation are not function of the transistors dimension and biasing current. Then, process parameters are introduced into the model thanks to measurements made on a large quantity of MOSFETs of various widths, length for several stress voltage and stress time durations of stress.

Experimentally, large 65nm MOSFETs width ($W \gg 10 \mu\text{m}$) avoid statistical approach of the degradation. Indeed, the degradation of the presented PAs can be measured on few devices.

To study the impact of hot carrier on PAs performances, the power gain, the input and output matching (S_{11} and S_{22}), the output saturated power (P_{sat}) and the output 1dB compression point (OCP1dB) are studied before and after the stress. The measurements (S parameters and power characterization) are performed before ageing and after 1 hour, 10 hours, 20 hours and 50 hours of stress. These measurements are done with $V_{gs}=1\text{V}$ and $V_{dd}=1.56\text{V}$, 1.7V and 1.83V . These stress voltages are chosen to observe significant degradation (higher than incertitude of measurement) of the PAs parameters after 50 hours.

IV. COMPARISON BETWEEN MEASUREMENT AND SIMULATION

Fig. 3 and 4 respectively present the measured and simulated S_{21} and S_{11} parameter before and after a stress of 44 hours with $V_{dd}=1.83V$ of the 1 stage PA.

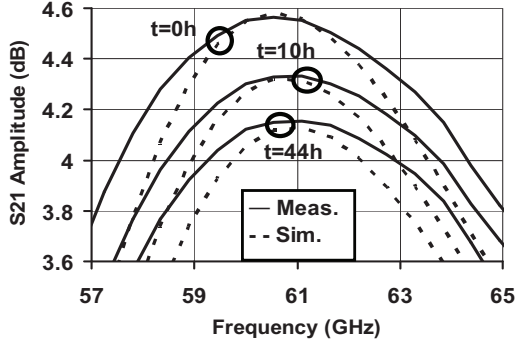


Fig. 3. Simulated and measured degradation of the 1 stage PA S_{21} parameter stressed with $V_{dd}=1.83 V$.

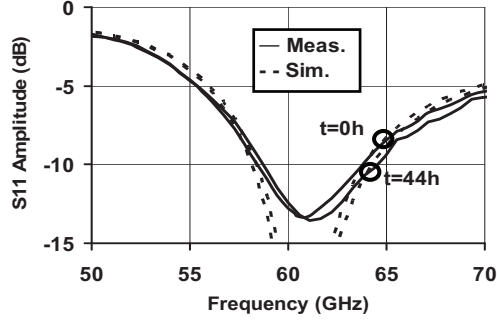


Fig. 4. Simulated and measured degradation of the 1 stage PA S_{11} and S_{22} parameters stressed with $V_{dd}=1.83V$.

The difference between the measured and the simulated bandwidth around 60 GHz shown Fig. 4 and Fig. 5, comes from losses not took into account in the stub models.

A relative gain drift of 8 % is measured at 60 GHz after the amplifier was stressed with 1.83V during 44h, while S_{11} and S_{22} parameters have only a relative drift lower than 3 % at 60 GHz. Moreover measurements and simulations show that MOSFETs intrinsic capacitances are not impacted by hot carrier degradation because no significant frequency shifts are observed on the S parameters after stress. The MOS threshold voltage V_{th} , the transconductance gm and the drain source dynamic resistance R_{ds} are extracted from the transistor static characteristics before and after stress. V_{th} has increased of 3 %, whereas gm has dropped of 3 % and R_{ds} of 2 %.

The analytic equation of the power gain G_p of a 1 stage PA [3]. After dc hot carrier stress the relative drift of the linear gain is only proportional to the relative drift of gm and R_{ds} . In the approximation that $R_{ds} \gg R_{load}$:

$$\frac{\Delta G_p}{G_p} \approx 2 \cdot \frac{\Delta gm}{gm} \quad (1)$$

Equation (1) is validated by the measurements presented on Fig. 1 and the MOS transconductance extraction. The transconductance gm relative drift is expressed as:

$$\frac{\Delta gm}{gm} \approx \frac{\Delta V_{th}}{V_{th}} + \frac{\Delta \mu_n}{\mu_n} \quad (2)$$

where gm is function of the threshold voltage V_{th} and the carrier mobility μ_n . From equation (2) and the measurement of V_{th} , the carrier mobility relative drift can be approximated to 1%.

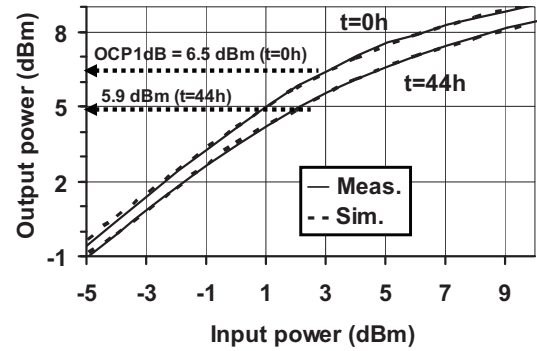


Fig. 5. Simulated and measured degradation of 1 stage PA output power and gain versus input power at 60GHz stressed after 44h of stress at $V_{dd}=1.83V$.

Fig. 5 presents the output power, the power gain and the output 1dB compression point before and after a stress of 44 hours under $V_{dd}=1.83 V$. The saturated power and the output 1dB compression points have both decreased of 10 %. Furthermore, P_{sat} and OCP_{1dB} [2] are both function of μ_n and $(V_{gs}-V_{th})^2$. Consequently the relative drift of P_{sat} can be expressed as:

$$\frac{\Delta P_{sat}}{P_{sat}} = \frac{\Delta OCP_{1dB}}{OCP_{1dB}} \approx \frac{\Delta Ids}{Ids} \approx 2 \cdot \frac{\Delta V_{th}}{V_{th}} + \frac{\Delta \mu_n}{\mu_n} \quad (3)$$

Equation (3) is validated through the measurements shown on Fig. 5 and V_{th} and μ_n extracted values. Moreover, Fig. 3 to 5 show an excellent agreement between measurements and simulations at 60 GHz. These results demonstrate that the dc hot carrier stress reliability model is accurate at millimeter wave frequencies to predict the degradation of the small and large signal power amplifier performances.

In a second step, a reliability study is made on a 4 stages state of the art millimeter wave PA. The amplifier is stressed at $V_{dd}=1.7 V$ during 50 hours. On Fig. 6 and 7 are respectively presented the measured and simulated S_{21} , the output power and OCP_{1dB} parameter before and after stress.

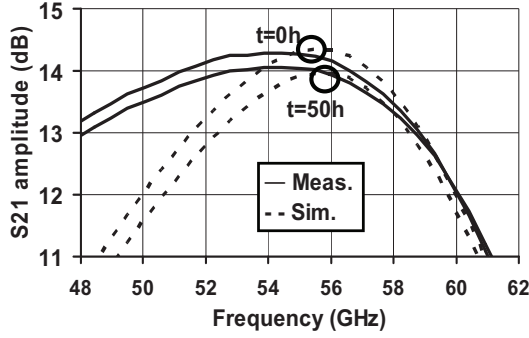


Fig. 6. Simulated and measured degradation of the 4 stages PA S_{21} parameter after 50 hours of stress at $V_{dd}=1.7V$.

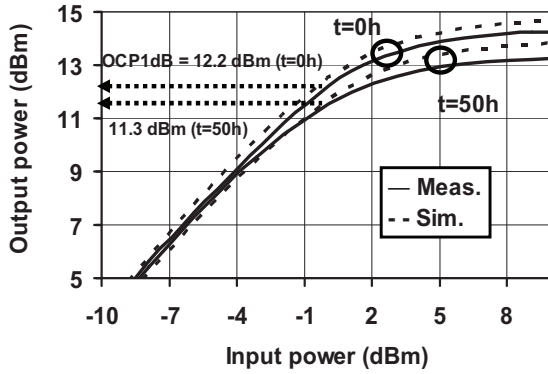


Fig. 7. Simulated and measured degradation of 4 stages PA output power at 58 GHz after 50 hours of stress at $V_{dd}=1.7V$.

The difference between the measured and the simulated maximum gain (Fig. 6) comes from parasitic not perfectly took into account in the model.

A linear power gain relative drift of 5 % is measured on Fig 6 after a stress of 50 hours at $V_{dd}=1.7V$. A relative drift of 7 % of linear OCP_{1dB} and P_{sat} are measured on Fig. 7 after the same stress at 58 GHz. Consequently, a dc hot carrier stress during 50 hours at $V_{dd}=1.7V$ leads to a drop of 20 % of the PA figure of merit, which represent a strong loss of performances. In the 4 stages PA, each transistor [1] are much larger than the one used in the 1 stage PA which implies that the source access line acts as a relatively large degenerative inductor. Thus for the MOSFETs used in the 4 stages PA, an equivalent dynamic transconductance gm_0 must be defined for each stage as:

$$gm_0 = \frac{gm_{intrinsic}}{1 + gm_{intrinsic} \cdot Z_L} \quad (4)$$

where $gm_{intrinsic}$ and Z_L are respectively the transconductance and the degenerative source access impedance. Consequently, for a relative drift of $gm_{intrinsic}$

due to the dc hot carrier stress, the corresponding relative drift of gm_0 is attenuated according to:

$$\frac{\Delta gm_0}{gm_0} = \frac{\Delta gm_{intrinsic}}{gm_{intrinsic}} \cdot \frac{1}{|1 + gm_{intrinsic} \cdot Z_L|} \quad (5)$$

Furthermore, the stress applied on each MOS in the 4 stages PA (50 hours at $V_{dd}=1.7V$) is lower than for the 1 stage PA (44 hours at $V_{dd}=1.83V$). Therefore the relative drift of the power gain of the 4 stage PA, proportional to the relative drift of gm_0 , is only of 5%.

VI CONCLUSION

In this work, the effects of dc hot carrier stress on the characteristics of 65 nm fully integrated millimeter wave power amplifiers are presented. After stress, the increasing of V_{th} , and the drop of μ_n imply a decreasing of the transconductance and the drain source resistance of the MOS. This leads to a reduction of the biasing current and consequently a reduction of the circuit performances. Measurements show that V_{th} is the largest contributor to the deterioration of the PAs performances. A decreasing of 5% of the power gain and 7% of the OCP_{1dB} are measured on a 4 stages PA at 58 GHz after a stress of 50 hours with 1.7V. That leads to a drop of 20% of the figure of merit of the power amplifier.

REFERENCES

- [1] T. Quémerais et al., "A CMOS Class-A 65nm Power Amplifier for 60 GHz Applications", IEEE SIRF, New Orleans, USA, Jan. 2010.
- [2] T. Yao, et al., "Algorithmic Design of CMOS LNAs and PAs for 60-GHz Radio," IEEE J. Solid-State Circuits, vol. 42, no. 5, pp. 1044-1057, May 2007.
- [3] M.S Gupta et al., "Power gain in feedback amplifiers, a classic revisited", IEEE Trans. on MTT, vol. 40, no. 5, pp. 864-879, 1992.
- [4] J. T. Park et al., "RF performance degradation in nMOS transistors due to hot carrier effects", IEEE Trans. Electron Devices, vol. 47, no. 5, pp. 1068-1072, May 2000.
- [5] Yehao Shen et al., "Hot Carrier Stress Effect on the Performance of 65 nm CMOS Low Noise Amplifier", IEEE ICICDT, Austin, USA, may 2009, pp. 249-252.
- [6] Q. Li, J. Zhang et al., "RF circuit performance degradation due to soft breakdown and hot-carrier effect in deep-submicrometer CMOS technology," IEEE Trans. On MTT., vol. 49, no. 9, pp. 1546-1551, 2001.
- [7] Chemming Hu et al. "Hot-electron-induced MOSFET degradation model, monitor, and improvement", IEEE trans. on Electron Devices, 1985, vol. 32, no2, pp. 375-385.
- [8] Enjun Xiao et al "Hot Carrier Effect on CMOS RF Amplifier" IEEE IRPS 2005, San Jose, USA, pp. 680-682.
- [9] C. D. Presti, et al "Degradation Mechanisms in CMOS Power Amplifier comparison to the DC Case" IEEE IRPS, Phoenix, USA, 2007, pp. 86-92.

Hot-Carrier Stress Effect on a CMOS 65-nm 60-GHz One-Stage Power Amplifier

Thomas Quémerais, Laurence Moquillon, Vincent Huard, Jean-Michel Fournier, Philippe Benech, Nicolas Corrao, and Xavier Mescot

Abstract—The effects of RF hot-carrier stress on the characteristics of 60-GHz power amplifiers (PAs) on a CMOS 65-nm process are investigated, for the first time, in this letter. A reliability study is made on a one-stage PA to validate an aging model and the degradation explanation. A drop of 16% of the gain, 17% of the 1-dB output compression point ($OC P_{1\text{ dB}}$), and 17% of the P_{sat} are measured at 60 GHz after 50 h of stress under $V_{\text{dd}} = 1.65\text{ V}$ with $P_{\text{in}} = 0\text{ dBm}$ and $V_{\text{dd}} = 1.9\text{ V}$ with $P_{\text{in}} = -10\text{ dBm}$ at 60-GHz frequency.

Index Terms—CMOS millimeter-wave (MMW) power amplifier (PA), hot-carrier stress, reliability, 65-nm technology.

I. INTRODUCTION

THE CMOS power amplifier (PA) is one of the most challenging blocks in a high-frequency (60-GHz band for HDMI, WLAN, etc.) transmitter due to the important reliability constraints existing on the MOS transistors and the losses in the integrated passive components. Reliability hot-carrier impact on the PA performances has been studied [1], [2] up to several gigahertz but never at millimeter-wave (MMW) frequencies. Indeed, during operation, common-source class-A MMW PA degradation is due to the hot-carrier injection phenomenon. Reducing the transistor channel length turns the hot carriers into an important reliability issue [1]–[3], [6]–[8]. Carriers in the channel can gain high energy (hot carrier) in the pinch-off region and cause an avalanche effect. The collisions of hot carriers with the atomic bonds at the interface of the substrate and gate oxide leads to the generation of dangling bonds, also known as interface traps [1]. Studying the PA reliability consists in investigating the MOS transistor degradation with time, when stressed under high dynamic voltage levels.

II. DEVICE AND CIRCUIT DESCRIPTION

A one-stage PA design with the STMicroelectronics CMOS 65-nm process is dedicated to reliability study because of its

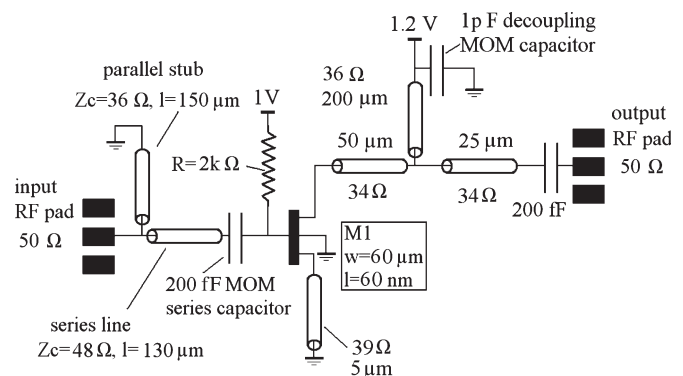


Fig. 1. Schematic of the CMOS 65-nm one-stage PA including element values.

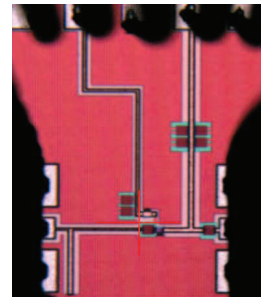


Fig. 2. Microphotography of the one-stage PA.

TABLE I
CMOS POWER AMPLIFIER PERFORMANCES

| PA topo. | P_{sat} (dBm) | $P_{1\text{ dB}}$ (dBm) | G_p (dB) | Conso. (mW) | PAE (%) |
|----------|---------------------------|----------------------------|---------------|----------------|------------|
| 1 stage | 9.2 | 6.4 | 4.5 | 20.5 | 26 |

robustness to high current. The developed design methodology of the PA is described in [4]. Electromigration constraints at 125 °C are considered in the design flow. Figs. 1 and 2 show, respectively, the schematic and the microphotography of the PA implemented in 65-nm technology. The die size is $0.4 \times 0.6\text{ mm}^2$. The measured performances of the PA at $V_{\text{dd}} = 1.2\text{ V}$ are summarized in Table I.

III. EXPERIMENTAL PROCEDURE

When biasing the amplifier at an operating point higher than $V_{\text{dd}} = 1.2\text{ V}$, strong electric fields are generated inside the transistor. This reduces the time at which the hot-carrier effects

Manuscript received June 9, 2010; accepted June 17, 2010. Date of publication August 9, 2010; date of current version August 25, 2010. The review of this letter was arranged by Editor S.-H. Ryu.

T. Quémerais is with STMicroelectronics, 38920 Crolles, France, and also with IMEP-LHAC, UMR INPG/UJF/US/CNRS, 38016 Grenoble Cedex, France (e-mail: thomas.quermais@st.com).

L. Moquillon and V. Huard are with STMicroelectronics, 38920 Crolles, France (e-mail: laurence.moquillon@st.com; vincent.huard@st.com).

J.-M. Fournier, P. Benech, N. Corrao, and X. Mescot are with IMEP-LHAC, UMR INPG/UJF/US/CNRS, 38016 Grenoble Cedex, France (e-mail: fournier@enserg.fr; Philippe.Benech@minatec.inpg.fr; corrao@enserg.fr; mescot@minatec.inpg.fr).

Color versions of one or more of the figures in this letter are available online at <http://ieeexplore.ieee.org>.

Digital Object Identifier 10.1109/LED.2010.2055535

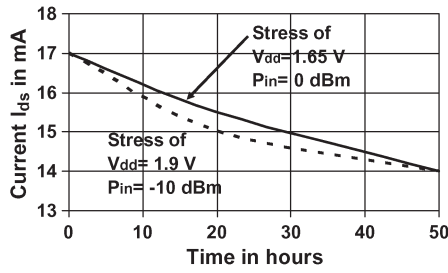


Fig. 3. Measured degradation of the PA current I_{ds} when stressed with $V_{dd} = 1.65$ V and $P_{in} = 0$ dBm and with $V_{dd} = 1.9$ V and $P_{in} = -10$ dBm at 60 GHz.

can be observed. Nevertheless, too high drain voltage applied to the transistor will break the oxide. A model of degradation under hot-carrier stress to study the PA aging is implemented in the Mentor Graphics Eldo simulator. In the aging model, the number of hot-carrier injection-related defects generated during stress is evaluated, and the spice parameters are corrected taking into account the effect of these defects on the electrical parameters. The simulation of the circuit after stress takes into account the hot-carrier stress effects on the values of carrier mobility, threshold voltage, drain-induced barrier lowering coefficient, velocity saturation, and channel-length modulation of the MOSFETs. These parameters' degradation is only a function of the stress duration and the dynamic stress voltage and is modeled using the substrate current model presented in [6]. Then, process parameters are introduced into the model, owing to measurements made on a large number of MOSFETs of various widths and lengths for several stress voltage and stress time durations of stress. Experimentally, large 65-nm MOSFET width ($W \gg 10 \mu\text{m}$) avoids the statistical approach of degradation. Indeed, the degradation of the presented PAs can be measured on few devices. To study the impact of RF hot carrier on PA performances, the power gain, the input and output matching (S_{11} and S_{22}), the output saturated power (P_{sat}), and the output 1-dB compression point ($OC P_{1\text{dB}}$) are measured before and after the stress. The measurements (S parameters and output power) are performed before aging and after 20 and 50 h of stress. These RF stresses are done with $V_{gs} = 1$ V, $V_{dd} = 1.65$ V with $P_{in} = 0$ dBm, and $V_{dd} = 1.9$ V with $P_{in} = -10$ dBm at 60 GHz, which corresponds to the PA input 1-dB compression point. This RF stress signal magnitude is chosen to observe significant degradation (higher than the incertitude of measurement) of the PA parameters after 50 h and to be close to standard operation of the amplifier. Nevertheless, longer stress time could be used. Moreover, to avoid oxidation of the RF probe during stress, the RF signal is applied to the PA in a Karl Süss vacuum chamber.

IV. COMPARISON BETWEEN MEASUREMENTS AND SIMULATION

Fig. 3 shows the measured drain-source current I_{ds} before and after a stress of 50 h with $V_{dd} = 1.65$ V and $P_{in} = 0$ dBm and with $V_{dd} = 1.9$ V and $P_{in} = -10$ dBm. Figs. 4 and 5 show the measured and simulated S_{21} , S_{11} , and S_{22} parameters before and after a stress of 50 h with the same stress voltage. A

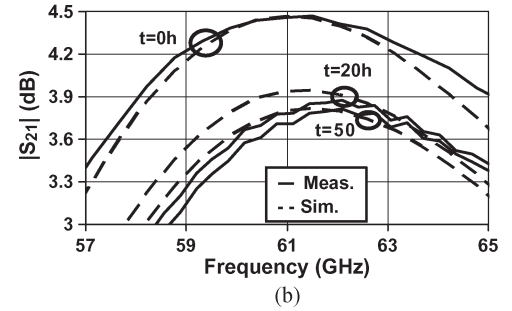
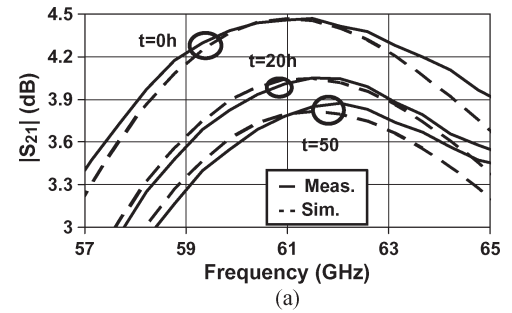


Fig. 4. Simulated and measured degradation of the PA S_{21} parameter stressed with (a) $V_{dd} = 1.65$ V and $P_{in} = 0$ dBm and (b) $V_{dd} = 1.9$ V and $P_{in} = -10$ dBm at 60 GHz.

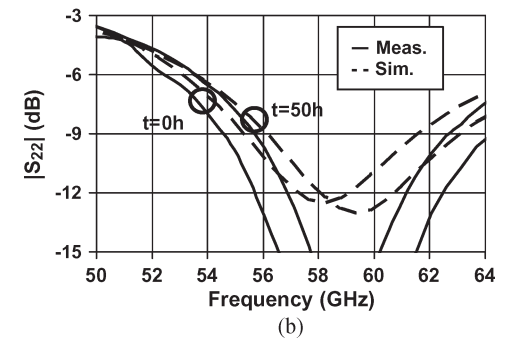
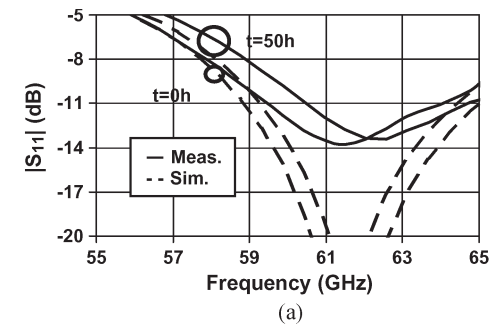


Fig. 5. Simulated and measured degradation of the PA (a) S_{11} and (b) S_{22} parameters stressed with $V_{dd} = 1.65$ V and $P_{in} = 0$ dBm at 60 GHz.

relative gain and bias current variation of 16% and 17%, respectively, are measured at 60 GHz after the PA was stressed with 1.65 V and 0 dBm and with 1.9 V and -10 dBm during 50 h.

Moreover, measurements and simulations show that MOS intrinsic capacitances are impacted by hot-carrier degradation because a frequency shift of 1 GHz is observed on the S parameters after stress (Figs. 4 and 5). The model does not take yet into account this phenomenon, difficult to model. The MOS threshold voltage V_{th} and the transconductance g_m are

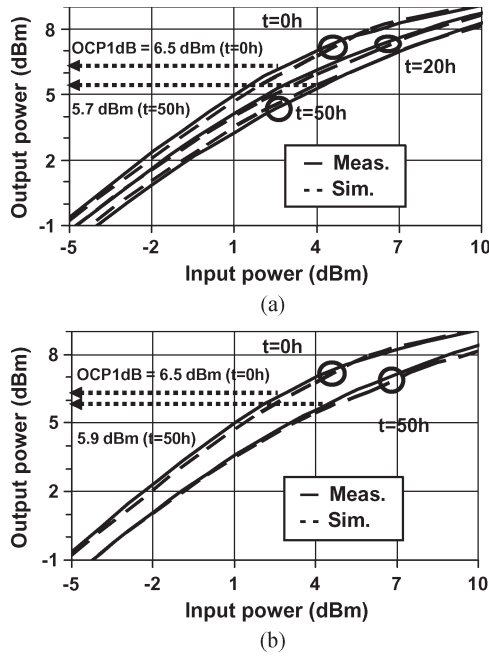


Fig. 6. Simulated and measured degradation of the PA output power versus input power before and after a stress of 50 h with $V_{dd} = 1.65$ V and $P_{in} = 0$ dBm and with $V_{dd} = 1.9$ V and $P_{in} = -10$ dBm at 60 GHz.

extracted from the transistor static characteristics before and after stress. V_{th} has increased to 9%, whereas gm has dropped to 8%. The analytic equation of the power gain G_p of a one-stage PA [5] when biased at its peak f_T , in the approximation that $R_{ds} \gg R_{load}$, can be approximated as

$$G_p \approx \frac{1}{4} \frac{gm^2}{C_{gs}^2 \omega^2} \quad (1)$$

where C_{gs} is the gate-source MOS capacitance and ω is the signal pulsation. From (1) and [9], it can be written that, after RF hot-carrier stress, that the relative drift of the linear gain is only proportional to the relative drift of gm^2

$$\frac{\Delta G_p}{G_p} \approx 2 \frac{\Delta gm}{gm}. \quad (2)$$

Equation (2) is validated by the measurements shown in Fig. 3 and the MOS transconductance extraction. The transconductance gm relative drift is expressed as

$$\frac{\Delta gm}{gm} \approx -\frac{\Delta V_{th}}{V_{th}} + \frac{\Delta \mu_n}{\mu_n} \quad (3)$$

where gm is a function of the threshold voltage V_{th} and the carrier mobility μ_n . From (3) and the measurement of V_{th} , the carrier mobility relative drift can be approximated to 1%. From the results in Fig. 5, the saturated power and the output 1-dB compression point have both decreased to 17%. Furthermore, P_{sat} and OCP_{1dB} [10] are both functions of μ_n

and $(V_{gs} - V_{th})^2$. Consequently, the relative drift of P_{sat} can be expressed as

$$\frac{\Delta P_{sat}}{P_{sat}} = \frac{\Delta OCP_{1dB}}{OCP_{1dB}} \approx \frac{\Delta I_{ds}}{I_{ds}} \approx -2 \frac{\Delta V_{th}}{V_{th}} + \frac{\Delta \mu_n}{\mu_n}. \quad (4)$$

Equation (4) is validated through the measurements shown in Fig. 3 and V_{th} and μ_n extracted values. Moreover, Figs. 4–6 show an excellent agreement between measurements and simulations at 60 GHz. These results demonstrate that the hot-carrier stress reliability model is accurate at MMW frequencies to predict the degradation of the small- and large-signal PA performances.

V. CONCLUSION

In this letter, the effects of RF hot-carrier stress on the characteristics of a 65-nm fully integrated MMW PA are presented for the first time. After stress, the increase of V_{th} and the drop of μ_n imply a decrease of the transconductance and the drain-source resistance of the MOS. This leads to a reduction of the biasing current and, consequently, a reduction of the circuit performances. Measurements show that V_{th} is the largest contributor to the deterioration of the PA performances. A decrease of 16% of the power gain and 17% of the OCP_{1dB} are measured after a stress of 50 h with $V_{dd} = 1.65$ V and $P_{in} = 0$ dBm and with $V_{dd} = 1.9$ V and $P_{in} = -10$ dBm at 60 GHz.

REFERENCES

- [1] E. Xiao, "Hot carrier effect on CMOS RF amplifier," in *Proc. IEEE IRPS*, San Jose, CA, 2005, pp. 680–682.
- [2] C. D. Presti, F. Carrara, A. Scuderi, S. Lombardo, and G. Palmisano, "Degradation mechanisms in CMOS power amplifier comparison to the DC case," in *Proc. IEEE IRPS*, Phoenix, AZ, 2007, pp. 86–92.
- [3] J. T. Park, B.-J. Lee, D.-W. Kim, C.-G. Yu, and H.-K. Yu, "RF performance degradation in nMOS transistors due to hot carrier effects," *IEEE Trans. Electron Devices*, vol. 47, no. 5, pp. 1068–1072, May 2000.
- [4] T. Quémerais, L. Moquillon, J.-M. Fournier, P. Benech, and N. Corrao, "Methodology of design of millimeter wave power amplifiers complying with 125 °C electromigration design rules in advanced CMOS technology," in *Proc. IEEE WAMICON*, Melbourne Beach, FL, Apr. 2010.
- [5] M. S. Gupta, "Power gain in feedback amplifiers, a classic revisited," *IEEE Trans. Microw. Theory Tech.*, vol. 40, no. 5, pp. 864–879, May 1992.
- [6] C. Hu, S. C. Tam, F.-C. Hsu, P.-K. Ko, T.-Y. Chan, and K. W. Terrill, "Hot-electron-induced MOSFET degradation—Model, monitor, and improvement," *IEEE Trans. Electron Devices*, vol. ED-32, no. 2, pp. 375–385, Feb. 1985.
- [7] Y. Shen, J. Lee, and H. Shin, "Hot carrier stress effect on the performance of 65 nm CMOS low noise amplifier," in *Proc. IEEE ICICDT*, Austin, TX, May 2009, pp. 249–252.
- [8] Q. Li, J. Zhang, W. Li, J. S. Yuan, and Y. Chen, "RF circuit performance degradation due to soft breakdown and hot-carrier effect in deep-submicrometer CMOS technology," *IEEE Trans. Microw. Theory Tech.*, vol. 49, no. 9, pp. 1546–1551, Sep. 2001.
- [9] C. Yu, J. S. Yuan, and J. Suehle, "Channel hot-electron degradation on 60-nm HfO₂-gated nMOSFET DC and RF performances," *IEEE Trans. Electron Device*, vol. 53, no. 5, pp. 1065–1072, May 2006.
- [10] T. Yao, M. Q. Gordon, K. K. W. Tang, K. H. K. Yau, M.-T. Yang, P. Schvan, and S. P. Voinigescu, "Algorithmic design of CMOS LNAs and PAs for 60-GHz radio," *IEEE J. Solid-State Circuits*, vol. 42, no. 5, pp. 1044–1057, May 2007.

Conception et étude de la fiabilité des amplificateurs de puissance fonctionnant aux fréquences millimétriques en technologies CMOS avancées

Résumé : Avec l'émergence d'applications millimétriques telles que le radar automobile ou le WHDMI, la fiabilité est devenue un enjeu extrêmement important pour l'industrie. Dans un émetteur/récepteur radio, les problèmes de fiabilité concernent principalement les transistors MOS intégrés dans les amplificateurs de puissance, compte-tenu des niveaux relativement élevés des puissances. Ces composants sont susceptibles de se détériorer fortement par le phénomène de l'injection de porteurs chauds impactant lourdement les performances des amplificateurs.

Ce travail de thèse concerne la conception et l'étude de la fiabilité des amplificateurs de puissance fonctionnant aux fréquences millimétriques en technologies CMOS avancées. Le mémoire est articulé autour de quatre chapitres. Les deux premiers chapitres concernent l'étude, la conception, la modélisation et la caractérisation des éléments actifs et passifs intégrés sur silicium et utilisés pour réaliser des amplificateurs de puissance aux fréquences millimétriques. Le troisième chapitre décrit les trois amplificateurs de puissance conçus et réalisés pour les tests de fiabilité. Enfin, le dernier chapitre propose une étude complète de la fiabilité de ces circuits jusqu'au calcul de leur temps de vie.

Mots clef : amplificateurs de puissance, CMOS 65 nm, 45 nm et 32 nm, fréquences millimétriques, lignes microruban, capacités MOM, transistors MOS, électromigration, fiabilité, temps de vie des circuits.

Design and study of the reliability of millimeter-wave power amplifiers in advanced CMOS technologies

Abstract: With the emergence of millimeter-wave applications such as automotive radar or WHDMI, the reliability became a very important issue for the industry. In a radio transceiver, the main reliability problems concern the MOS transistors used in the power amplifiers, due to the high power level. These devices are subject to deterioration by the hot carrier phenomenon. This impacts heavily the power amplifiers performances.

This thesis work concerns the design and the study of the reliability of millimeter-wave power amplifiers in advanced CMOS technologies. The manuscript is divided into four chapters. The two first one concern the study, the design, the modeling and the characterization of integrated active and passive elements on silicon and used into power amplifiers at millimeter wave frequencies. The third chapter describes the three power amplifiers designed and realized for reliability tests. The final chapter provides a comprehensive study of the reliability of these circuits to calculate their lifetime.

Key words: power amplifiers, CMOS 65 nm, 45 nm and 32 nm, millimeter-wave frequencies, microstrip lines, MOM capacitors, MOS transistors, electromigration, reliability, circuit lifetime.